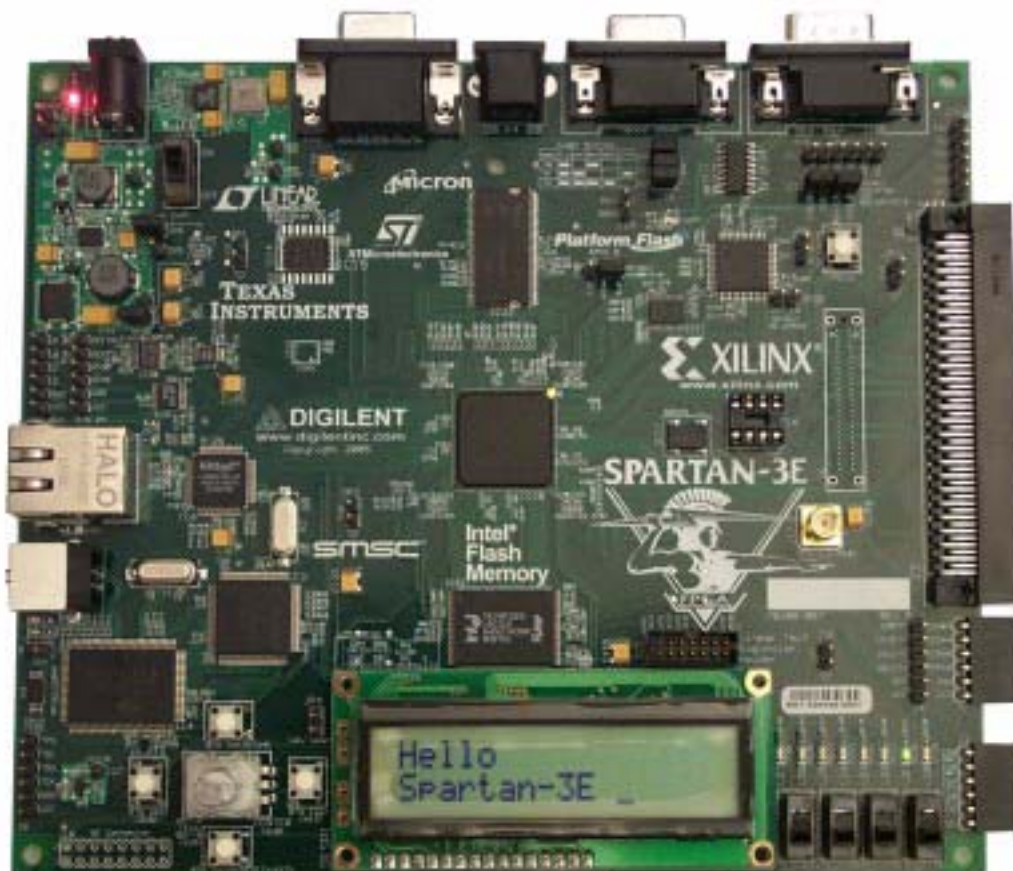


Spartan-3E スタータ キット ボード ユーザー ガイド

UG230 (v1.0) 2006 年 3 月 9 日

コンポーネントをクリックすると、該当するセクションに移動します (リンクの付いていないコンポーネントもあります)。





Xilinx (以下「ザイリンクス」といいます) では、ザイリンクス FPGA におけるデザインの開発目的のみにこの文書を開示します。この文書に明記されている場合を除き、電子、機械、複写、録音を含め、いかなる形態または手段においても、ザイリンクスの書面による事前の許可なく資料をコピー、複製、配布、再発行、ダウンロード、表示、掲載、転送することはできません。この文書に含まれている資料を許可なく使用すると、著作権法、商標法、秘密保護と公示の法律、通信規定と法規の違反となる可能性があります。

ザイリンクスでは、この文書の適用および使用により生じる損害の責任を一切負いません。また、ここに明記されている場合を除き、この法定通知のいずれの部分も、黙示、禁反言、その他の法律論理による特許、商標、著作権、その他の知的財産権のライセンスや権利の付与とは見なされません。この文書の内容の使用および実施に必要ないかなる権利の取得もユーザー個人の責任となります。文書中のエラーの訂正や、ユーザーに提供されるエンジニアリングのソフトウェア サポートおよびヘルプの正確性や正当性については責任を負いかねます。また、文書をアップデートする確約もいたしません。ザイリンクスはこれらの条件および条項を独自の判断によって変更する権利を有します。

この文書は「現状のまま」で提供され、ユーザーは自己責任でこの文書を使用することに同意したものとみなされます。ザイリンクス、ザイリンクスの従業員、およびザイリンクスの販売特約店の従業員によるその他の口頭または書面によるいかなる情報、アドバイス等によっても、新たな内容の保証が創設されたり上記の制限保証の範囲を拡大させたりするものではありません。ザイリンクスでは、特許や著作権その他の知的財産権の不侵害、商品性、および特定目的への適合性は明示黙示を問わず保証いたしません。

ザイリンクスでは、文書の使用または使用不能の結果生じた間接的、懲罰的、特別、または付随的いかなる損害 (利益の損失、業務の中断、交換品の費用、情報の消失や破損を含む) については、その可能性を事前に通告されていた場合でも一切責任を負いません。ユーザーに対するザイリンクスの損害賠償責任総額は、いかなる場合にもユーザーがザイリンクスに支払った文書の代金を上限とします。たとえいかなる救済手段もその実質的目的を達せない場合でも、上記の制限責任および免責条項が法律上最大限認められる限度で適用されます。

この文書は、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用を目的にしたものではありません。原子力施設、航空機操縦・通信システム、航空管制、生命維持装置、武器の作動・運転等 (以下高リスク行為とします)、安全装置が必要となるような危険な環境でのオンライン制御装置としての使用、再販売を意図しての設計・製造または停止・誤作動対策措置がなされたものではありません。ザイリンクスは、高リスク行為用途への適性に関する明示的・黙示的を問わず一切の保証を、ここに明確に排除します。

Copyright © 1995-2006 Xilinx, Inc. All Rights Reserved. 本文書に記載されている「Xilinx」、ザイリンクスのロゴ、およびザイリンクスが所有する製品名等は、米国 Xilinx Inc. の米国における登録商標です。その他に記載されている会社名および製品名等は、各社の商標または登録商標です。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2006年3月9日	1.0	初期リリース

目次

このマニュアルについて

協力各社	11
マニュアルの内容	11
関連情報	12

第 1 章：概要

スタータ キット ボードの選択	13
Spartan-3E FPGA の機能とエンベデッド プロセッシング機能	13
ザイリンクス FPGA、CPLD、および ISE 開発ソフトウェアの基礎の習得	13
高機能な Spartan-3 開発ボード	14
主要なコンポーネントおよび機能	14
システム レベルでの変更	15
多様なコンフィギュレーション方法	15
アプリケーションで使用する電圧	15
関連情報	15

第 2 章：スイッチ、ボタン、ノブ

スライド スイッチ	17
配置場所とラベル	17
動作	17
UCF ロケーション制約	18
プッシュ ボタン スイッチ	18
配置場所とラベル	18
動作	19
UCF ロケーション制約	19
ロータリ プッシュ ボタン スイッチ	19
配置場所とラベル	19
動作	19
プッシュ ボタン スイッチ	19
ロータリ軸エンコーダ	20
UCF ロケーション制約	21
個別の LED	21
配置場所とラベル	21
動作	21
UCF ロケーション制約	22
関連情報	22

第 3 章：クロック ソース

概要	23
クロック接続	24

電圧の制御	24
オンボードの 50MHz オシレータ	24
補助クロック オシレータ ソケット	24
SMA クロック入力 (出力コネクタ)	24
UCF 制約	24
ロケーション制約	25
PERIOD 制約	25
関連情報	25

第 4 章 : FPGA コンフィギュレーション オプション

コンフィギュレーション モード ジャンプ	29
PROG プッシュ ボタン	30
DONE ピン LED	30
USB を使用した FPGA、CPLD、Platform Flash PROM のプログラム	31
USB ケーブルの接続	31
iMPACT によるプログラム	32
USB を使用した Platform Flash PROM のプログラム	34
FPGA コンフィギュレーション ビットストリーム ファイルの生成	34
PROM ファイルの生成	36
Platform Flash PROM のプログラム	41

第 5 章 : キャラクタ LCD スクリーン

概要	45
キャラクタ LCD のインターフェイス信号	46
電圧の互換性	46
Intel StrataFlash との関係	46
UCF ロケーション制約	47
LCD コントローラ	47
メモリ マップ	47
DD RAM	47
CG ROM	48
CG RAM	49
コマンド セット	50
ディスエーブル	51
Clear Display	51
Return Cursor Home	51
Entry Mode Set	51
Display On/Off	52
Cursor and Display Shift	53
Function Set	53
Set CG RAM Address	53
Set DD RAM Address	53
Read Busy Flag and Address	54
Write Data to CG RAM or DD RAM	54

Read Data from CG RAM or DD RAM	54
動作	54
4ビット データ インターフェイス	54
4ビット インターフェイスでの 8ビット データの送信	55
ディスプレイの初期化	55
電源投入時の初期化	56
ディスプレイのコンフィギュレーション	56
ディスプレイへのデータの書き込み	56
未使用の LCD のディスエーブル	57
関連情報	57
第 6 章 : VGA ディスプレイ ポート	
60Hz、640 X 480 VGA ディスプレイの信号タイミング	60
VGA 信号タイミング	62
UCF ロケーション制約	63
関連情報	63
第 7 章 : RS-232 シリアル ポート	
概要	65
UCF ロケーション制約	66
第 8 章 : PS/2 マウス/キーボード ポート	
キーボード	68
マウス	70
電源	71
UCF ロケーション制約	71
関連情報	71
第 9 章 : DA コンバータ (DAC)	
SPI 通信	73
インターフェイス信号	74
SPI バス上のデバイスのディスエーブル	75
SPI 通信の詳細	75
通信プロトコル	76
DAC 出力電圧の指定	76
DAC 出力 A および B	77
DAC 出力 C および D	77
UCF ロケーション制約	77
関連情報	77
第 10 章 : アナログ キャプチャ回路	
アナログ入力からデジタル出力への変換	80
プログラマブル プリアンプ	81
インターフェイス	81
増幅率	81

SPI 制御インターフェイス	82
UCF ロケーション制約	83
AD コンバータ (ADC)	84
インターフェイス	84
SPI 制御インターフェイス	84
UCF ロケーション制約	85
SPI バス上のデバイスのディスエーブル	85
アナログ入力の接続	86
関連情報	86

第 11 章 : Intel StrataFlash パラレル NOR Flash PROM

StrataFlash 接続	88
共有される接続	91
キャラクタ LCD	91
ザイリンクス XC2C64A CPLD	91
SPI データライン	92
UCF ロケーション制約	93
アドレス	93
データ	93
制御ピン	94
FPGA モード セレクト ピンの設定	94
関連情報	94

第 12 章 : SPI シリアル Flash

UCF ロケーション制約	96
SPI Flash からのコンフィギュレーション	96
FPGA モード セレクト ピンの設定	97
SPI シリアル Flash PROM ファイルの作成	97
コンフィギュレーション クロック レートの設定	97
SPI Flash PROM ファイルのフォーマット	98
SPI Flash へのデザインのダウンロード	102
XSPI を使用した SPI Flash のダウンロード	102
XSPI プログラム ユーティリティのダウンロードとインストール	102
JTAG パラレルプログラム ケーブルの接続	102
ジャンパを JP8 に挿入し、PROG_B を Low に保持	104
XSPI ソフトウェアを使用した SPI Flash のプログラム	104
その他のデザインの詳細	106
ペリフェラルと共有された SPI バス	106
その他の SPI Flash 制御信号	107
バリエーション セレクト ピン VS[2:0]	107
ジャンパブロック J11	107
プログラム ヘッダ J12	107
マルチ パッケージ レイアウト	108
関連情報	109

第 13 章 : DDR SDRAM

DDR SDRAM の接続	112
ロケーション制約	114
アドレスピン	114
データピン	114
制御ピン	115
FPGA の VREF ピン	115
関連情報	115

第 14 章 : 10/100 イーサネット物理レイヤ インターフェイス

イーサネット PHY の接続	118
MicroBlaze イーサネット IP コア	120
UCF ロケーション制約	121
関連情報	121

第 15 章 : 拡張コネクタ

ヒロセ電機社製 100 ピン FX2 エッジ コネクタ (J3)	123
コネクタへの電源供給	124
コネクタのピン配置と FPGA の接続	124
互換性のあるボード	126
レセプタクル コネクタの接続	126
差動 I/O	126
差動入力の使用	128
差動出力の使用	129
UCF ロケーション制約	130
6 ピン アクセサリ ヘッダ	131
ヘッダ J1	131
ヘッダ J2	131
ヘッダ J4	132
UCF ロケーション制約	132
コネクタレス デバッグ ポート ランディング パッド (J6)	133
関連情報	134

第 16 章 : XC2C64A CoolRunner-II CPLD

UCF ロケーション制約	137
CPLD への FPGA の接続	137
CPLD	137
関連情報	138

第 17 章 : DS2432 1-Wire SHA-1 EEPROM

UCF ロケーション制約	139
関連情報	139

付録 A : 回路図

FX2 拡張ヘッダ、6 ピン ヘッダ、コネクタレス プローブ ヘッダ	142
RS-232 ポート、VGA ポート、PS/2 ポート	144
イーサネット PHY、Magnetics、RJ-11 コネクタ	146
電圧レギュレータ	148
FPGA コンフィギュレーション設定、Platform Flash PROM、 SPI シリアル Flash、JTAG 接続	150
FPGA I/O バンク 0 および 1、オシレータ	152
FPGA I/O バンク 2 および 3	154
電源デカップリング	156
XC2C64A CoolRunner-II CPLD	158
Linear Technology 社製 ADC および DAC	160
Intel 社製 StrataFlash パラレル NOR Flash メモリ、 Micron 社製 DDR SDRAM	162
ボタン、スイッチ、ロータリ エンコーダ、キャラクタ LCD	164
DDR SDRAM 直列終端、FX2 コネクタ差動終端	166

付録 B : ユーザー制約ファイル (UCF) の例

このマニュアルについて

このマニュアルでは、Spartan-3E スタータ キット ボードの機能およびデザインの基本的な情報について説明します。ボードに含まれたペリフェラルの機能の使用法についても説明します。VHDL および Verilog のソース コードを含むリファレンス デザインの詳細は、次のサイトを参照してください。

- Spartan™-3E スタータ キット ボード リファレンス ページ
<http://www.xilinx.co.jp/s3estarter>

協力各社

Spartan-3E スタータ キット ボードのサポートに対し、次の各社のご協力を得ています。

- Intel 社 (128Mb StrataFlash メモリ)
- Linear Technology 社 (SPI 準拠の A/D および D/A コンバータ、プログラマブル プリアンプ、FPGA 以外のコンポーネント用の電圧レギュレータ)
- Micron Technology 社 (32M X 16 DDR SDRAM)
- SMSC 社 (10/100 Ethernet PHY)
- STMicroelectronics 社 (16M X 1 SPI シリアル Flash PROM)
- Texas Instruments 社 (ほとんどの FPGA に電源を供給する 3 レール TPS75003 レギュレータ)
- ザイリンクス、コンフィギュレーション ソリューション部門 (XCF04S Platform Flash PROM および エンベデッド USB プログラマ サポート)
- ザイリンクス、CPLD 部門 (XC2C64A CoolRunner™-II CPLD)

マニュアルの内容

このマニュアルには、次の章が含まれています。

- 第 1 章「概要」では、Spartan-3E スタータ キット ボードの主な機能の概要を説明します。
- 第 2 章「スイッチ、ボタン、ノブ」では、Spartan-3E スタータ キット ボードのスイッチ、ボタン、ノブについて説明します。
- 第 3 章「クロック ソース」では、Spartan-3E スタータ キット ボードで使用できるさまざまなクロック ソースについて説明します。
- 第 4 章「FPGA コンフィギュレーション オプション」では、Spartan-3E スタータ キット ボードの FPGA のコンフィギュレーション オプションについて説明します。
- 第 5 章「キャラクタ LCD スクリーン」では、キャラクタ LCD スクリーンの機能を説明します。
- 第 6 章「VGA ディスプレイ ポート」では VGA の機能を説明します。

- 第7章「RS-232 シリアルポート」では、RS-232 シリアルポートの機能を説明します。
- 第8章「PS/2 マウス/キーボードポート」では、PS/2 マウスおよびキーボードポートの機能を説明します。
- 第9章「DA コンバータ (DAC)」では DAC の機能を説明します。
- 第10章「アナログ キャプチャ回路」では、増幅率設定可能なプリアンプを備えた A/D コンバータについて説明します。
- 第11章「Intel StrataFlash パラレル NOR Flash PROM」では StrataFlash PROM の機能を説明します。
- 第12章「SPI シリアル Flash」では、SPI シリアル Flash メモリの機能を説明します。
- 第13章「DDR SDRAM」では DDR の機能を説明します。
- 第14章「10/100 イーサネット物理レイヤ インターフェイス」では、10/100Base-T イーサネット物理レイヤ インターフェイスの機能を説明します。
- 第15章「拡張コネクタ」では、Spartan-3E スタータキットボードで使用できるさまざまなコネクタについて説明します。
- 第16章「XC2C64A CoolRunner-II CPLD」では、マスタシリアルモードおよびBPIモードを使用してFPGAをコンフィギュレーションする場合のCPLDの機能を説明します。
- 第17章「DS2432 1-Wire SHA-1 EEPROM」では、FPGAコンフィギュレーションビットストリームの認証やコピー防止に使用される、SHA-1採用のEEPROMを簡単に紹介します。
- 付録A「回路図」には、Spartan-3E スタータキットボードの回路図の一覧を掲載しています。
- 付録B「ユーザー制約ファイル (UCF) の例」では、UCFのサンプルコードを示します。

関連情報

その他の資料は、次のザイリンクス Web サイトから参照できます。

<http://www.xilinx.co.jp/support/library.htm>

シリコン、ソフトウェア、IPに関する質問および解答をアンサー データベースで検索したり、テクニカルサポートのウェブケースを開くには、次のザイリンクス Web サイトを参照してください。

<http://www.xilinx.co.jp/support>

概要

ザイリンクス Spartan™-3E スタータ キットをお買い上げいただきありがとうございます。このキットを活用して、Spartan-3E FPGA アプリケーションの開発にお役立てください。

スタータ キット ボードの選択

用途に応じたザイリンクス開発ボードを使用してください。

Spartan-3E FPGA の機能とエンベデッド プロセッシング機能

Spartan-3E スタータ キット ボードは、Spartan-3E FPGA ファミリー特有の機能を備えた、エンベデッド プロセッシングのアプリケーションの開発に便利な開発ボードです。ボードは次の機能を備えています。

- Spartan-3E 特有の機能
 - ◆ パラレル NOR Flash コンフィギュレーション
 - ◆ パラレル NOR Flash PROM からの MultiBoot FPGA コンフィギュレーション
 - ◆ SPI シリアル Flash コンフィギュレーション
- エンベデッド開発
 - ◆ MicroBlaze™ 32 ビット エンベデッド RISC プロセッサ
 - ◆ PicoBlaze™ 8 ビット エンベデッド コントローラ
 - ◆ DDR メモリ インターフェイス

ザイリンクス FPGA、CPLD、および ISE 開発ソフトウェアの基礎の習得

Spartan-3E スタータ キット ボードは、ほかの Spartan 開発ボードよりも高機能で複雑です。ザイリンクスの FPGA または CPLD デザインの基礎と、ザイリンクス ISE 開発ソフトウェアの使用法を習得するには、量産スタータ キット バンドルの使用を推奨します。これには Spartan-3 FPGA 開発ボードとザイリンクス CoolRunner™-II/XC9500XL CPLD 開発ボードの両方が含まれており、価格も手ごろです。

- 量産スタータ キット バンドル (HW-SPAR3-CPLD-DK)
http://www.xilinx.com/xlnx/xebiz/designResources/ip_product_details.jsp?key=HW-SPAR3-CPLD-DK

高機能な Spartan-3 開発ボード

Spartan-3E スタータ キット ボードは、MicroBlaze エンベデッド プロセッサおよび EDK (ザイリンクス エンベデッド 開発キット) の基本機能を備えています。より多くのペリフェラルや FPGA ロジックを備えた高度な開発ボードが必要であれば、SP-305 開発ボードを推奨します。

- Spartan-3 SP-305 開発ボード (HW-SP305-xx)
http://www.xilinx.co.jp/xlnx/xebiz/designResources/ip_product_details.jsp?key=HW-SP305-US

また、ザイリンクス パートナーの開発ボードも使用できます。

- Spartan-3 および Spartan-3E ボードの検索
<http://www.xilinx.co.jp/products/devboards/index.htm>

主要なコンポーネントおよび機能

Spartan-3E スタータ キット ボードの主要な機能は次のとおりです。

- ザイリンクス XC3S500E Spartan-3E FPGA
 - ◆ 最高 232 本のユーザー I/O ピン
 - ◆ 320 ピン FBGA パッケージ
 - ◆ 10,000 個を超えるロジック セル
- ザイリンクス 4Mb Platform Flash コンフィギュレーション PROM
- ザイリンクス 64 マクロセル XC2C64A CoolRunner CPLD
- 64MB (512Mb) の DDR SDRAM、x16 データ インターフェイス、100MHz 以上
- 16MB (128Mb) の パラレル NOR Flash (Intel StrataFlash)
 - ◆ FPGA コンフィギュレーション格納
 - ◆ MicroBlaze コード格納/シャドウイング
- 16Mb SPI シリアル Flash (STMicro)
 - ◆ FPGA コンフィギュレーション格納
 - ◆ MicroBlaze コード シャドウイング
- 2 行 X 16 桁 LCD スクリーン
- PS/2 マウスまたはキーボード ポート
- VGA ディスプレイ ポート
- 10/100 イーサネット PHY (FPGA では イーサネット MAC が必要)
- 9 ピン RS-232 ポート X 2 (DTE と DCE)
- USB ベースのオンボード FPGA/CPLD ダウンロード/デバッグ インターフェイス
- 50MHz クロック オシレータ
- ビットストリーム コピー防止用の SHA-1 1 ワイヤ シリアル EEPROM
- ヒロセ電機社製 FX2 拡張コネクタ
- Digilent 社製 6 ピン 拡張コネクタ X 3
- SPI ベース 4 出力 DA コンバータ (DAC)
- SPI ベース 2 入力 AD コンバータ (ADC) (プログラマブル プリアンプ 付き)
- ChipScope™ SoftTouch デバッグ ポート

- プッシュ ボタン軸付きロータリ エンコーダ
- 個別の LED X 8
- スライド スイッチ X 4
- プッシュボタン スイッチ X 4
- SMA クロック入力
- 補助クロック オシレータ用の 8 ピン DIP ソケット

システム レベルでの変更

Spartan-3E スタータ キット ボードの機能を提供するため、システム レベルでの変更が加えられています。

多様なコンフィギュレーション方法

通常、FPGA アプリケーションではコンフィギュレーション イメージの格納に不揮発性メモリを 1 つだけ使用しますが、スタータ キット ボードでは Spartan-3E の新しい機能を紹介するために、コンフィギュレーション メモリ ソースを 3 つ使用しています。3 つのメモリ ソースは同時に動作します。コンフィギュレーション ファンクションが余分にあるため、スタータ キット ボードは通常の Spartan-3E アプリケーションよりも複雑です。

スタータ キット ボードには、USB ベースのオンボード JTAG プログラム インターフェイスも含まれています。オンチップ回路であるため、デバイスのプログラムは簡略化されます。典型的なアプリケーションでは、JTAG プログラムのハードウェアは、オフボードまたはザイリンクス プラットフォーム ケーブル USB のような別個のプログラミング モジュールに存在します。

アプリケーションで使用する電圧

Spartan-3E スタータ キット ボードには、Texas Instruments 社のトリプル出力レギュレータ [TPS75003](#) が搭載されています。これは、Spartan-3 および Spartan-3E FPGA 用に開発されたものです。このレギュレータはほとんどのスタンドアロンの FPGA アプリケーションに使用できます。ただし、スタータ キット ボードに含まれる DDR SDRAM には高電流の電源が必要です。同様に、USB ベースの JTAG ダウンロード ソリューションには、1.8V の電源が別途必要です。

関連情報

- ザイリンクス MicroBlaze ソフト プロセッサ
<http://www.xilinx.co.jp/microblaze>
- ザイリンクス PicoBlaze ソフト プロセッサ
<http://www.xilinx.co.jp/picoblaze>
- ザイリンクス エンベデッド開発キット
http://www.xilinx.co.jp/ise/embedded_design_prod/platform_studio.htm
- ザイリンクス ソフトウェア チュートリアル
<http://www.xilinx.co.jp/support/techsup/tutorials/>
- Texas Instruments 社製 TPS75003
<http://www.tij.co.jp/jsc/docs/msp/analog/detail/tps75003.html>

スイッチ、ボタン、ノブ

スライド スイッチ

配置場所とラベル

Spartan-3E スタータ キット ボードには、[図 2-1](#) に示すように、4 つのスライド スイッチがあります。配置場所はボードの右下隅で、左から順に、SW3 から SW0 のラベルがついています。

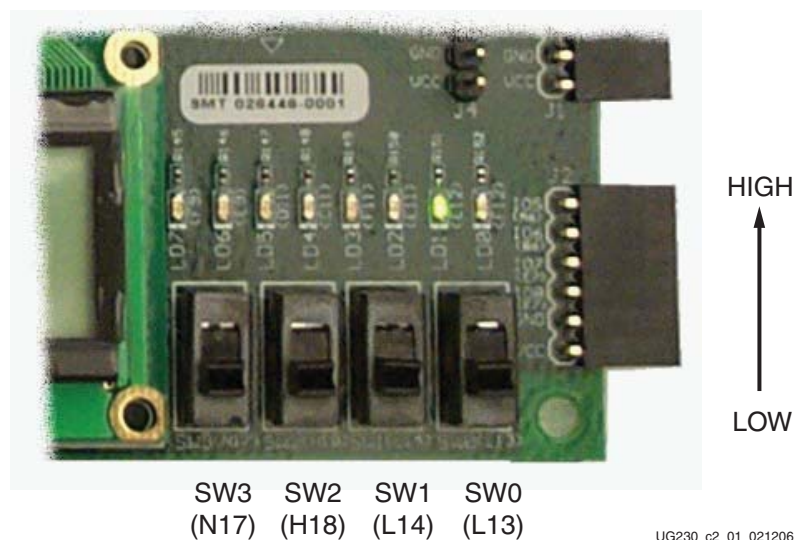


図 2-1 : 4 つのスライド スイッチ

動作

スイッチがオン (上) のときは、FPGA ピンは 3.3V のロジック **High** に接続され、オフ (下) のときはグラウンドのロジック **Low** に接続されます。スイッチには通常、およそ 2ms の機械的バウンスが発生します。アクティブなデバウンス回路はありませんが、ボード上にプログラムされた FPGA デザインに容易に追加できます。

UCF ロケーション制約

図 2-2 に、各スライド スイッチの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。PULLUP 抵抗は必要ありませんが、使用するとスイッチの遷移中に入力値が定義されます。

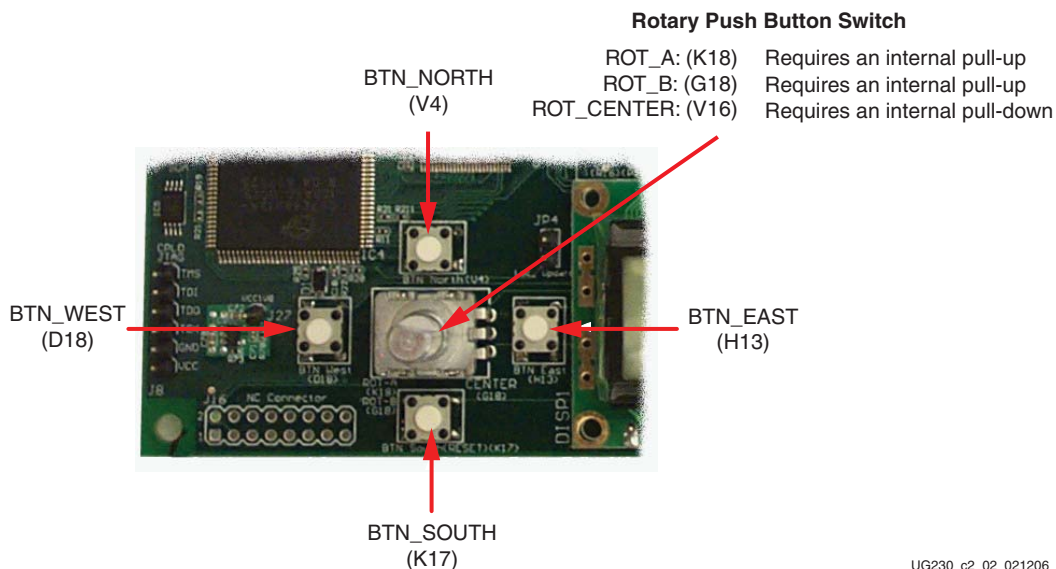
```
NET "SW<0>" LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<1>" LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<2>" LOC = "H18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<3>" LOC = "N17" | IOSTANDARD = LVTTTL | PULLUP ;
```

図 2-2：スライド スイッチの UCF 制約

プッシュ ボタン スイッチ

配置場所とラベル

Spartan-3E スタータ キット ボードには、図 2-3 に示すように、4 つのモーメンタリ動作型プッシュ ボタン スイッチがあります。配置場所はボードの左下隅で、それぞれ BTN_NORTH、BTN_EAST、BTN_SOUTH、BTN_WEST のラベルが付いています。プッシュ ボタンに接続された FPGA ピンを図 2-3 のかっこ内に、UCF を図 2-5 に示します。



UG230_c2_02_021206

メモ：

1. ラベルが BTN_ で始まるプッシュ ボタン入力にはすべて、内部プルダウン抵抗が必要です。
2. FPGA アプリケーションによっては、BTN_SOUTH がソフトリセットとして使用される場合があります。

図 2-3：ロータリ プッシュ ボタン スイッチの周囲に配置された 4 つのプッシュ ボタン スイッチ

動作

プッシュ ボタンを押すと、[図 2-4](#) に示すように、対応する FPGA ピンが 3.3V に接続されます。ボタンが押されない場合は、FPGA ピン内のプルダウン抵抗を使用して、ロジック Low を生成します。[図 2-5](#) に、UCF でプルダウン抵抗を指定する方法を示します。プッシュ ボタンには、アクティブなデバウンス回路はありません。

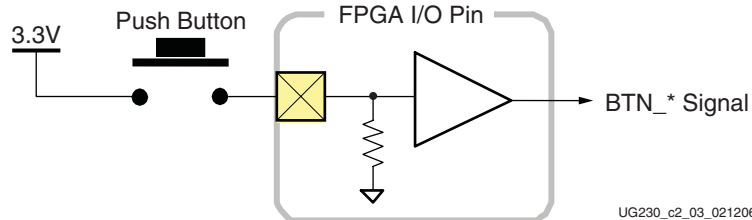


図 2-4 : FPGA 入力ピン内のプルダウン抵抗を必要とするプッシュ ボタン スイッチ

アプリケーションによっては、BTN_SOUTH プッシュ ボタン スイッチが、FPGA のファンクションのみをリセットするソフト リセットとして使用される場合があります。

UCF ロケーション制約

[図 2-5](#) に、4 つのプッシュ ボタン スイッチの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "BTN_EAST" LOC = "H13" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_NORTH" LOC = "V4" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_SOUTH" LOC = "K17" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_WEST" LOC = "D18" | IOSTANDARD = LVTTTL | PULLDOWN ;
```

図 2-5 : プッシュ ボタン スイッチの UCF 制約

ロータリ プッシュ ボタン スイッチ

配置場所とラベル

ロータリ プッシュ ボタン スイッチは、[図 2-3](#) に示すように、4 つのプッシュ ボタン スイッチの中央に配置されています。スイッチには 3 つの出力があります。軸エンコーダ出力が 2 つあり、それぞれ ROT_A および ROT_B です。中央のプッシュ ボタン スイッチは、ROT_CENTER です。

動作

ロータリ プッシュ ボタン スイッチは、2 つの異なる機能を合わせ持っています。スイッチ軸は回転し、回転時に値を出力します。また、プッシュ ボタン スイッチのように押下することもできます。

プッシュ ボタン スイッチ

ロータリ/プッシュ ボタン スイッチのノブを押すと、[図 2-6](#) に示すように、対応する FPGA ピンが 3.3V に接続されます。FPGA ピン内のプルダウン抵抗を使用して、ロジック Low を生成します。[図 2-8](#) に、UCF でプルダウン抵抗を指定する方法を示します。プッシュ ボタンには、アクティブなデバウンス回路はありません。

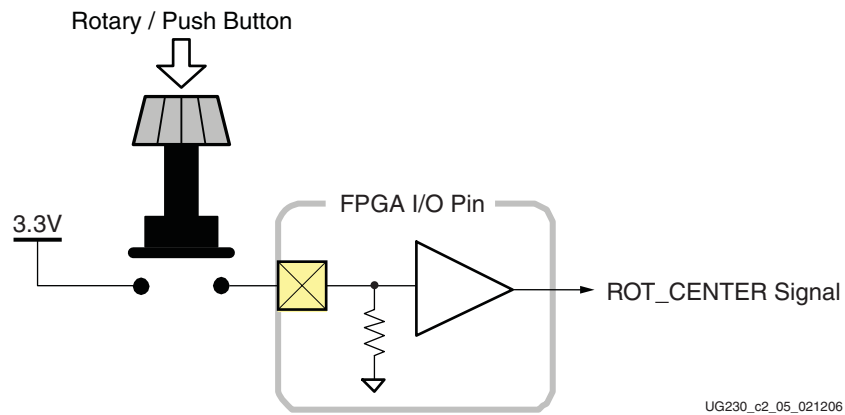


図 2-6：FPGA 入力ピン内のプルアップ抵抗を必要とするプッシュ ボタン スイッチ

ロータリ軸エンコーダ

ロータリ軸エンコーダは中央の軸に接続したカムのような働きをします。軸が回転すると、図 2-7 に示すように、2 つの プッシュ ボタン スイッチが動作します。軸の回転方向により、どちらのスイッチが先にオープンになるかが決まります。同様に、回転し続けると、どちらかのスイッチが先にクローズします。軸が静止した状態 (デテント位置) では、どちらのスイッチもクローズします。

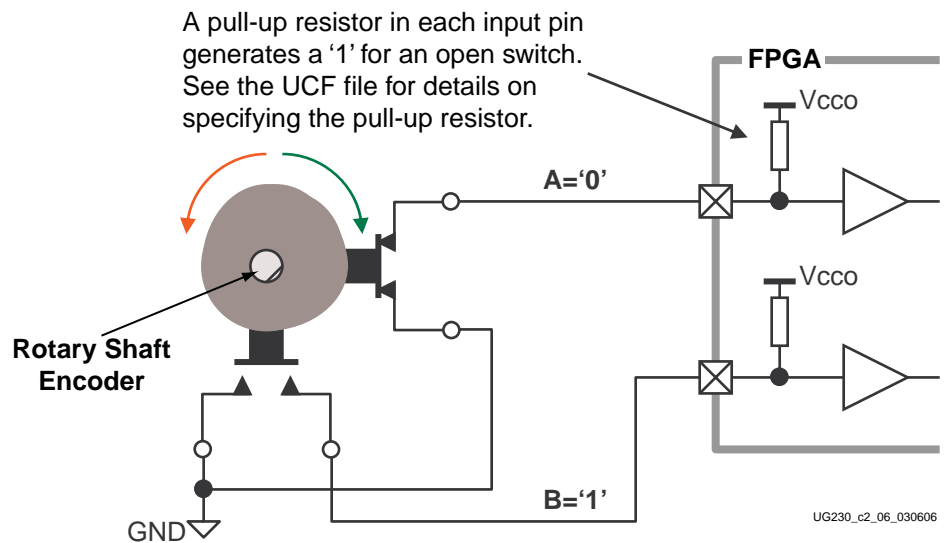


図 2-7：ロータリ軸エンコーダ回路の基本的な例

スイッチがクローズすると、グランドに接続され、ロジック Low が生成されます。スイッチがオープンになるときは、FPGA ピン内のプルアップ抵抗により信号がロジック High にプルアップされます。図 2-8 の UCF 制約に、プルアップ抵抗の定義方法を示します。

「A」および「B」入力をデコードする FPGA 回路は単純ですが、入力への機械的なスイッチ ノイズ (チャタリング) を考慮に入れる必要があります。

UCF ロケーション制約

図 2-8 に、4 つのプッシュ ボタン スイッチの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

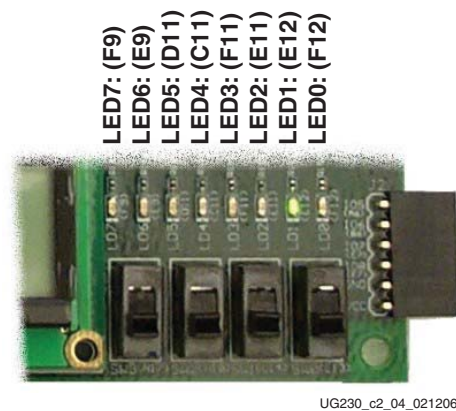
```
NET "ROT_A"      LOC = "K18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "ROT_B"      LOC = "G18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "ROT_CENTER" LOC = "V16" | IOSTANDARD = LVTTTL | PULLDOWN ;
```

図 2-8 : ロータリ プッシュ ボタン スイッチの UCF 制約

個別の LED

配置場所とラベル

Spartan-3E スタータ キット ボード には、図 2-9 に示すように、表面実装された LED が 8 つあり、スライド スイッチの上に配置されています。左から順に、LED7 から LED0 のラベルが付いています。



UG230_c2_04_021206

図 2-9 : 8 つの個別の LED

動作

各 LED は、一端がグランドに、もう一端が 390Ω 電流制限抵抗を介して Spartan-3E デバイスのピンに接続されています。それぞれの LED を点灯させるには、対応する FPGA 制御信号を High に駆動します。

UCF ロケーション制約

図 2-10 に、4 つのプッシュ ボタン スイッチの I/O ピン割り当て、I/O 規格、出力スルー レート、および出力駆動電流を指定する UCF 制約を示します。

```
NET "LED<7>" LOC = "F9" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<6>" LOC = "E9" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<5>" LOC = "D11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<4>" LOC = "C11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<3>" LOC = "F11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<2>" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<1>" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;  
NET "LED<0>" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
```

図 2-10 : 8 つの個別の LED の UCF 制約

関連情報

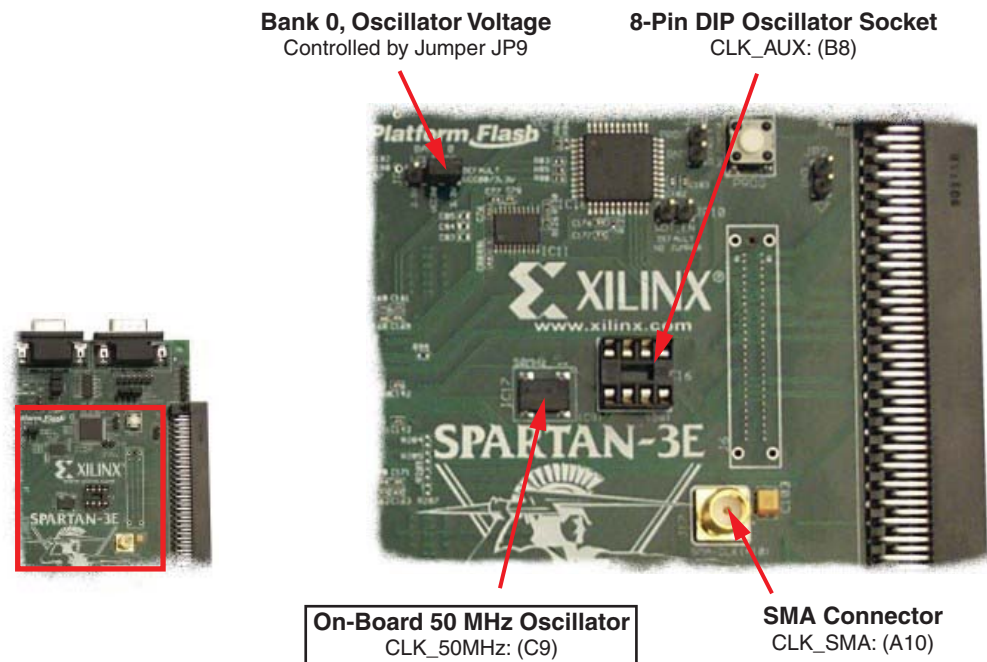
- Spartan-3E スタータ キット 用ロータリ エンコーダ インターフェイス (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>

クロック ソース

概要

図 3-1 に示すように、Spartan-3E スタータ キット ボードでは 3 つのクロック入力ソースがサポートされています。これらはすべて、ザイリンクス ログの下、Spartan-3E ログの周りにあります。

- オンボードの 50MHz クロック オシレータ。
- SMA コネクタを介したオフボードからのクロック供給。また、FPGA によりクロック信号または高速信号を生成して、SMA コネクタから出力することも可能です。
- ソケットに 8 ピン DIP クロック オシレータを接続。



UG230_c3_01_030306

図 3-1 : 使用可能なクロック入力

クロック接続

各クロック入力、FPGA の上部にある I/O バンク 0 のグローバルバッファ入力に直接接続されており、表 3-1 に示すように、DCM にも接続されています。

表 3-1：クロック入力と接続されているグローバルバッファおよび DCM

クロック入力	FPGA ピン	グローバルバッファ	DCM
CLK_50MHZ	C9	GCLK10	DCM_X0Y1
CLK_AUX	B8	GCLK8	DCM_X0Y1
CLK_SMA	A10	GCLK7	DCM_X1Y1

電圧の制御

FPGA の I/O バンク 0 にある I/O ピンの電圧は、すべてジャンパ JP9 で制御されるので、クロックリソースもジャンパ JP9 で制御されます。デフォルトでは、JP9 は 3.3V に設定されています。オンボードのオシレータは 3.3V のデバイスなので、ジャンパ JP9 を 2.5V に設定すると、予測どおりに動作しない場合があります。

オンボードの 50MHz オシレータ

ボードには、デューティ サイクル 40% ~ 60% の 50MHz オシレータが搭載されています。オシレータの精度は $\pm 2500\text{Hz}$ ($\pm 50\text{ppm}$) です。

補助クロック オシレータ ソケット

ボード上にある 8 ピンのソケットには、8 ピン DIP フットプリントに対応するクロック オシレータを接続できます。FPGA アプリケーションで 50MHz 以外の周波数が必要な場合は、このソケットを使用してください。または、FPGA のデジタルクロックマネージャ (DCM) を使用しても、50MHz 以外のクロックを生成できます。

SMA クロック入力 (出力コネクタ)

クロックを外部ソースから供給するには、入力クロック信号を SMA コネクタに接続します。また、FPGA によりクロック信号または高速信号を生成して SMA コネクタから外部デバイスに供給することも可能です。

UCF 制約

クロック入力ソースには、2 種類の制約が必要です。ロケーション制約では、I/O ピンの割り当てと I/O 規格を定義します。PERIOD 制約は、入力クロック信号のクロック周期 (つまりクロック周波数) とデューティ サイクルを定義します。

ロケーション制約

図 3-2 に、3 つのクロック入力ソースに I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。この例では、JP9 が 3.3V に設定されていることを想定しています。JP9 を 2.5V に設定している場合は、それに合わせて IOSTANDARD を変更してください。

```
NET "CLK_50MHZ" LOC = "C9" | IOSTANDARD = LVCMOS33 ;
NET "CLK_SMA" LOC = "A10" | IOSTANDARD = LVCMOS33 ;
NET "CLK_AUX" LOC = "B8" | IOSTANDARD = LVCMOS33 ;
```

図 3-2: クロック ソースのロケーション制約の例

PERIOD 制約

ザイリンクス ISE 開発ソフトウェアでは、タイミングドリブンの配置配線が実行されます。クロックに適切な PERIOD 制約を設定してください。図 3-3 に、オンボードの 50MHz クロック オシレータの制約例を示します。この例では、CLK_50MHZ の周波数は 50MHz (周期 20ns) に設定されています。オシレータの出力デューティサイクルの範囲は、40 ~ 60% です。

```
# Define clock period for 50 MHz oscillator
NET "CLK_50MHZ" PERIOD = 20.0ns HIGH 40%;
```

図 3-3: クロックの PERIOD 制約の例

関連情報

- Epson 社製 SG-8002JF シリーズのオシレータ (50MHz) のデータシート
http://www.eea.epson.com/go/Prod_Admin/Categories/EEA/QD/Crystal_Oscillators/prog_oscillators/go/Resources/TestC2/SG8002JF

FPGA コンフィギュレーション オプション

Spartan-3E スタータ キット ボードでは、さまざまな FPGA コンフィギュレーション オプションがサポートされています。

- オンボードの USB インターフェイスを使用して、JTAG を介して FPGA デザインを Spartan-3E FPGA に直接ダウンロードする。オンボードの USB-JTAG ロジックを使用すると、オンボードの Platform Flash PROM および XC2C64A CPLD をインシステムでプログラムすることも可能です。SPI シリアル Flash と StrataFlash は、別々にプログラムされます。
- オンボードの 4Mb ザイリンクス XCF04S シリアル Platform Flash PROM をプログラムし、Platform Flash PROM に保存されているイメージをマスタ シリアル モードで FPGA にコンフィギュレーションする。
- オンボードの ST Microelectronics 社製 16Mb SPI シリアル Flash PROM をプログラムし、保存されているイメージを SPI モードで FPGA にコンフィギュレーションする。
- オンボードの Intel 社製 128Mb StrataFlash パラレル NOR Flash PROM をプログラムし、Flash PROM に保存されているイメージを BPI Up または BPI Down コンフィギュレーションモードで FPGA にコンフィギュレーションする。さらに、Spartan-3E FPGA の MultiBoot モードを使用すると、FPGA アプリケーションで 2 つの異なる FPGA コンフィギュレーションを読み込むことができます。MultiBoot 機能の詳細は、Spartan-3E のデータシート ([DS312](#)) を参照してください。

図 4-1 に、USB ダウンロード/プログラム インターフェイスと、FPGA コンフィギュレーション イメージを保存するオンボードの不揮発性メモリの位置を示します。図 4-2 に、コンフィギュレーション オプション部分の詳細を示します。

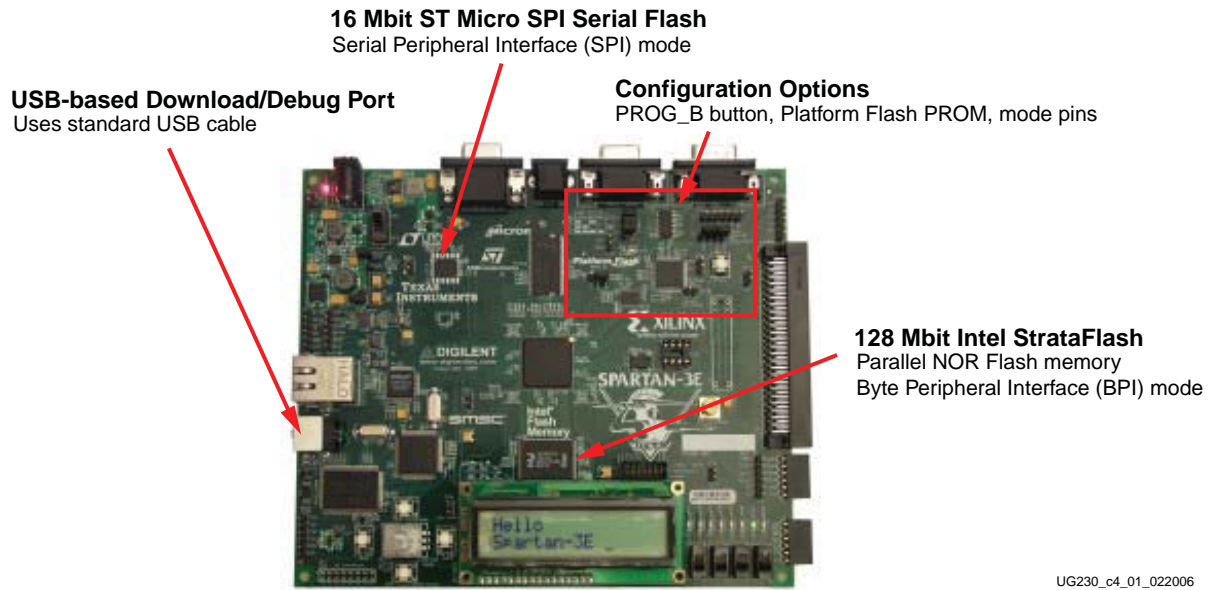


図 4-1 : Spartan-3E スタータ キットの FPGA コンフィギュレーション オプション

Configuration Mode Jumper Settings (Header J30)

Select between three on-board configuration sources

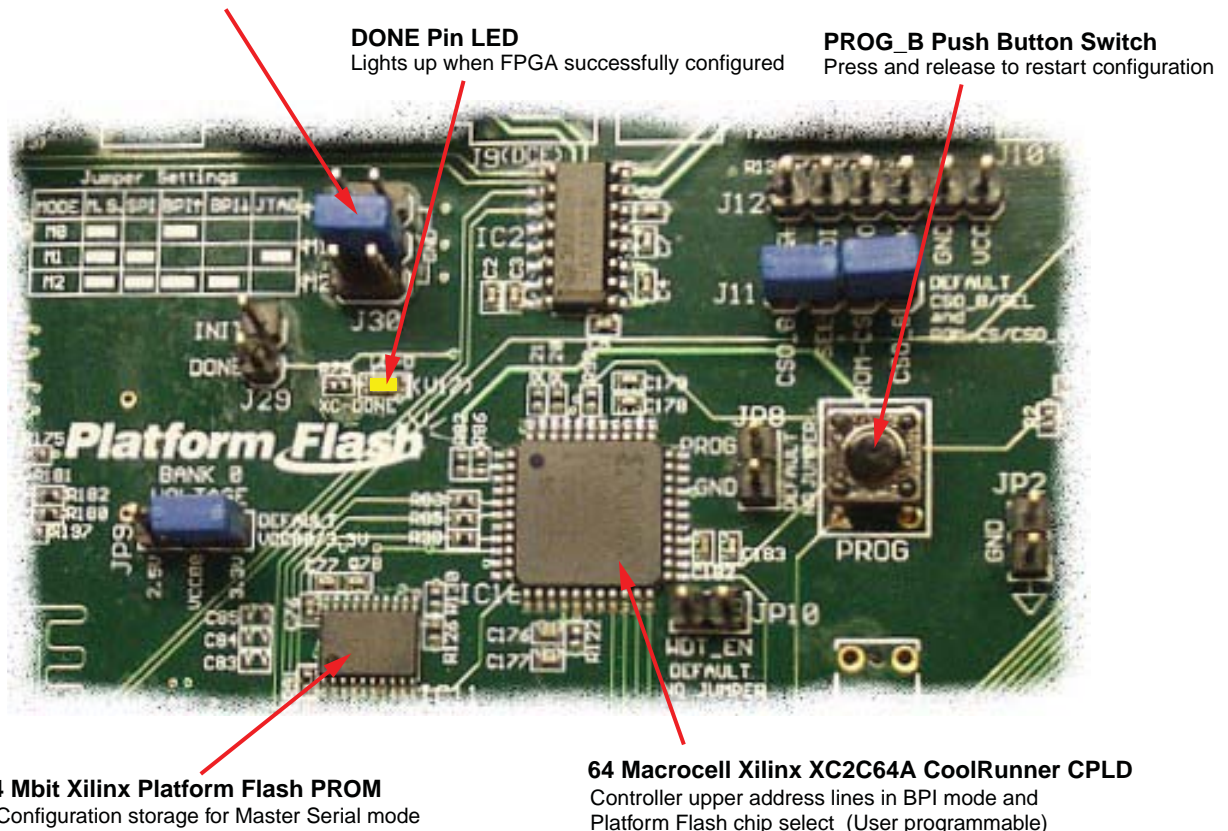


図 4-2 : コンフィギュレーション オプション部分の詳細

電源投入時または **PROG** ボタンを押したときのコンフィギュレーション モードは、コンフィギュレーション モード ジャンパによって決定されます。

FPGA が正常にコンフィギュレーションされると、**DONE** ピン LED が点灯します。

PROG ボタンを押すと、FPGA のコンフィギュレーション プロセスを強制的に開始できます。

4Mb のザイリンクス Platform Flash PROM には、JTAG を介して FPGA のコンフィギュレーション情報を保存できます。Platform Flash からの FPGA のコンフィギュレーションには、マスタ シリアル モードを使用します。

マクロセルを 64 個持つ XC2C64A CoolRunner II CPLD は、BPI Up、BPI Down、または MultiBoot コンフィギュレーション モードを使用した場合、あるいは StrataFlash パラレル Flash PROM から FPGA に読み込む場合に使用可能な、柔軟な追加プログラム機能を提供します。CPLD はユーザーがプログラムできます。

コンフィギュレーション モード ジャンパ

表 4-1 に示すように、FPGA コンフィギュレーション モードは J30 ジャンパブロック設定により制御します。ジャンパを挿入すると、関連するモード ピンがグラウンドに接続されます。個々のジャンパを挿入または取り外して、FPGA のコンフィギュレーション モードとコンフィギュレーション メモリ ソースを選択します。

表 4-1 : Spartan-3E コンフィギュレーション モード ジャンパの設定 (図 4-2 のヘッダ J30)

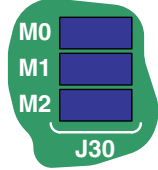
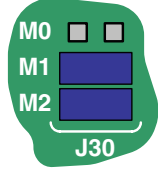
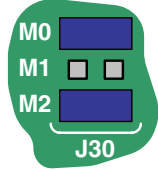
コンフィギュレーション モード	モード ピン M2:M1:M0	FPGA コンフィギュレーション イメージのソース	ジャンパ設定
マスタ シリアル	0:0:0	Platform Flash PROM	
SPI (第 12 章「SPI シリアル Flash」を参照)	1:1:0	SPI シリアル Flash PROM (アドレス 0 で開始)	
BPI Up (第 11 章「Intel StrataFlash パラレル NOR Flash PROM」を参照)	0:1:0	StrataFlash パラレル Flash PROM (アドレス 0 で開始、アドレス空間の上限までインクリメント)。BPI コンフィギュレーションでは、アドレスライン A[24:20] は CPLD により制御されます。	

表 4-1 : Spartan-3E コンフィギュレーション モード ジャンパの設定 (図 4-2 のヘッダ J30) (続き)

コンフィギュレーション モード	モード ピン M2:M1:M0	FPGA コンフィギュレーション イメージのソース	ジャンパ設定
BPI Down (第 11 章「Intel StrataFlash パラレル NOR Flash PROM」を参照)	0:1:1	StrataFlash パラレル Flash PROM (アドレス 0x1FF_FFFF で開始、アドレス空間の下限までデクリメント)。BPI コンフィギュレーションでは、アドレスライン A[24:20] は CPLD により制御されます。	
JTAG	0:1:0	USB-JTAG ポートを使用してホストからダウンロード	

PROG プッシュ ボタン

PROG プッシュ ボタン (28 ページの図 4-2 を参照) は、選択されたコンフィギュレーション メモリソースから FPGA を強制的に再コンフィギュレーションします。このボタンを押して放すことにより、FPGA のコンフィギュレーション プロセスをいつでも開始できます。

DONE ピン LED

FPGA が正常にコンフィギュレーションされると、DONE ピン LED (28 ページの図 4-2 を参照) が点灯します。この LED が点灯しない場合、FPGA はコンフィギュレーションされていません。

USB を使用した FPGA、CPLD、Platform Flash PROM のプログラム

28 ページの図 4-1 に示すように、Spartan-3E スタータ キットには USB ベースのプログラム ロジックとタイプ B コネクタを使用した USB エンドピンが搭載されています。USB ケーブルを介してホスト PC と接続すると、iMPACT プログラム ソフトウェアを使用して、FPGA、Platform Flash PROM、およびオンボードの CPLD を直接プログラムできます。パラレルまたはシリアル Flash PROM の直接プログラムは、現在のところサポートされていません。

USB ケーブルの接続

このスタータ キットには、図 4-3 に示すような、標準 USB タイプ A/タイプ B ケーブルが含まれています。実際の色は、写真と異なる場合があります。

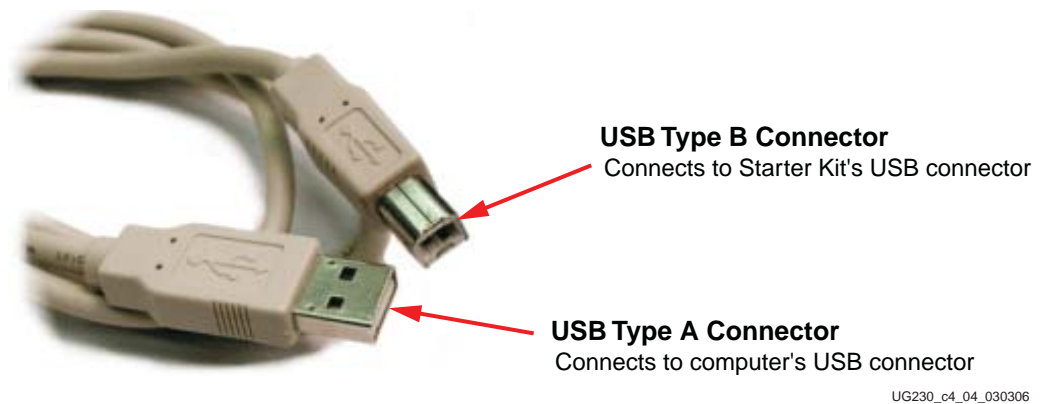


図 4-3: 標準 USB タイプ A/タイプ B ケーブル

タイプ A コネクタは、コンピュータの USB コネクタに差し込むことができます。

ザイリンクス ソフトウェアをインストールした後、図 4-4 に示すように、タイプ B コネクタを Spartan-3E スタータ キット ボード に接続します。USB コネクタは、ボードの左側、イーサネット コネクタのすぐ横にあります。ボードの電源がオンになると、Windows によりボードが認識され、必要なドライバソフトウェアがインストールされます。



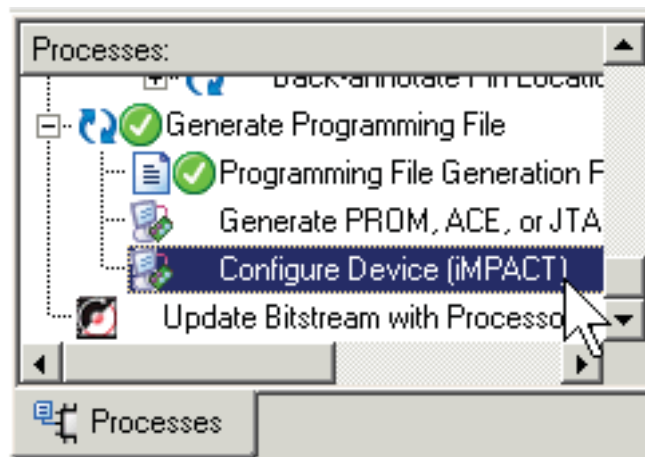
図 4-4: USB タイプ B コネクタをスタータ キット ボードのコネクタに接続

USB ケーブルドライバが正常にインストールされ、ボードを正しく PC に接続すると、緑色の LED が点灯し、接続が確立されたことが示されます。

iMPACT によるプログラム

ザイリンクス開発ソフトウェアで FPGA デザインをインプリメントした後、iMPACT プログラムソフトウェアと USB ケーブルを使用してデザインをダウンロードします。

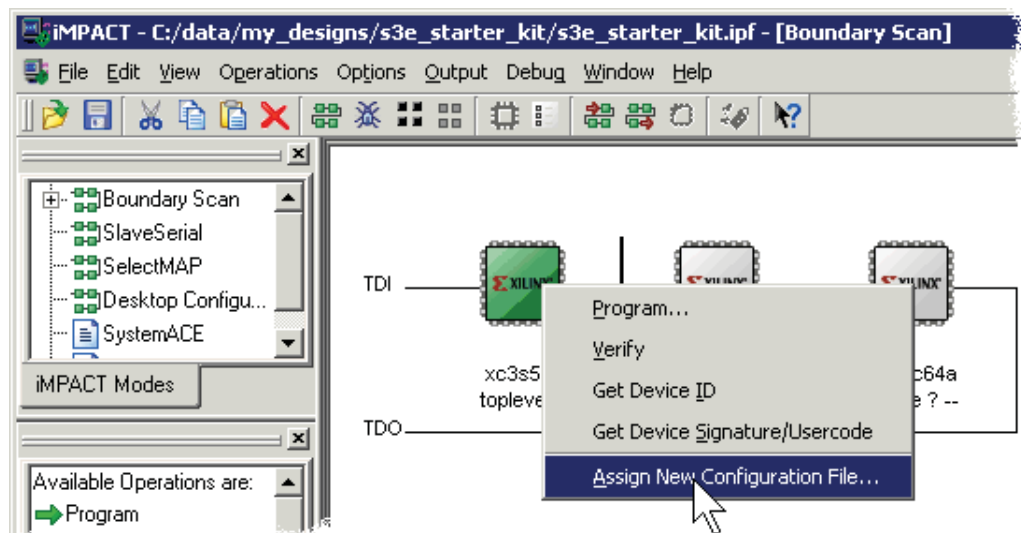
プログラムを開始するには、USB ケーブルをスタータ キット ボードに接続し、ボードの電源をオンにします。その後、Project Navigator の [Processes] タブで [Configure Device (iMPACT)] をダブルクリックします (図 4-5 を参照)。



UG230_c4_06_022406

図 4-5 : [Configure Device (iMPACT)] をダブルクリックして iMPACT を起動

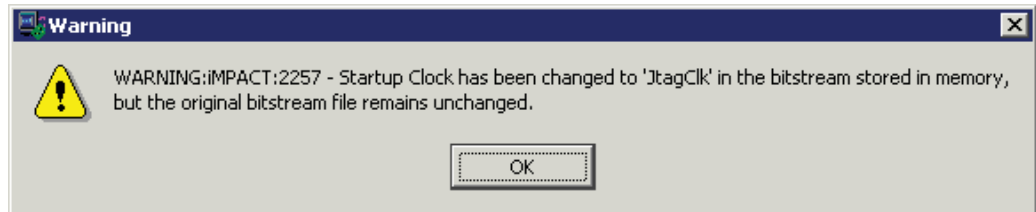
ボードが正しく接続されていれば、iMPACT により JTAG プログラム ファイルに含まれる 3 つのデバイスが認識されます (図 4-6 を参照)。チェーンの最初のデバイスである Spartan-3E FPGA をクリックして選択します。Spartan-3E FPGA を右クリックし、[Assign New Configuration File] をクリックします。FPGA コンフィギュレーションファイルを選択し、[OK] をクリックします。



UG230_c4_07_022406

図 4-6 : 右クリックして [Assign New Configuration File] をクリック

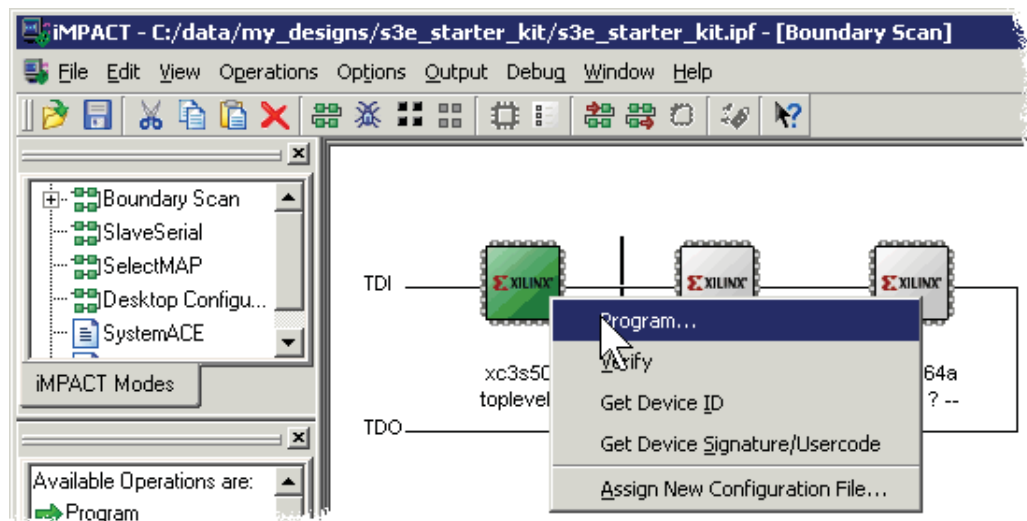
元の FPGA コンフィギュレーションファイルでデフォルトの StartUp クロック ソース CCLK が使用されていた場合、iMPACT で図 4-7 に示す警告メッセージが表示されます。この警告メッセージは無視しても問題ありません。JTAG を使用してダウンロードする場合、iMPACT は StartUP クロック ソースを TCK JTAG クロック ソースに変更します。



UG230_c4_08_022406

図 4-7 : StartUp クロック ソースが CCLK でない場合、警告メッセージが表示される

FPGA のプログラムを開始するには、FPGA を右クリックして [Program] をクリックします。プログラム中、iMPACT にステータスが表示されます。FPGA の直接プログラムには、PC の USB ポートの速度および iMPACT の設定により、数秒から 1 分ほどかかります。



UG230_c4_09_022406

図 4-8 : 右クリックして [Program] をクリック

FPGA が正常にプログラムされると、図 4-9 に示すように、iMPACT にプログラムが完了したことが示されます。ボード上で FPGA アプリケーションが実行され、DONE ピン LED (図 4-2 を参照) が点灯します。

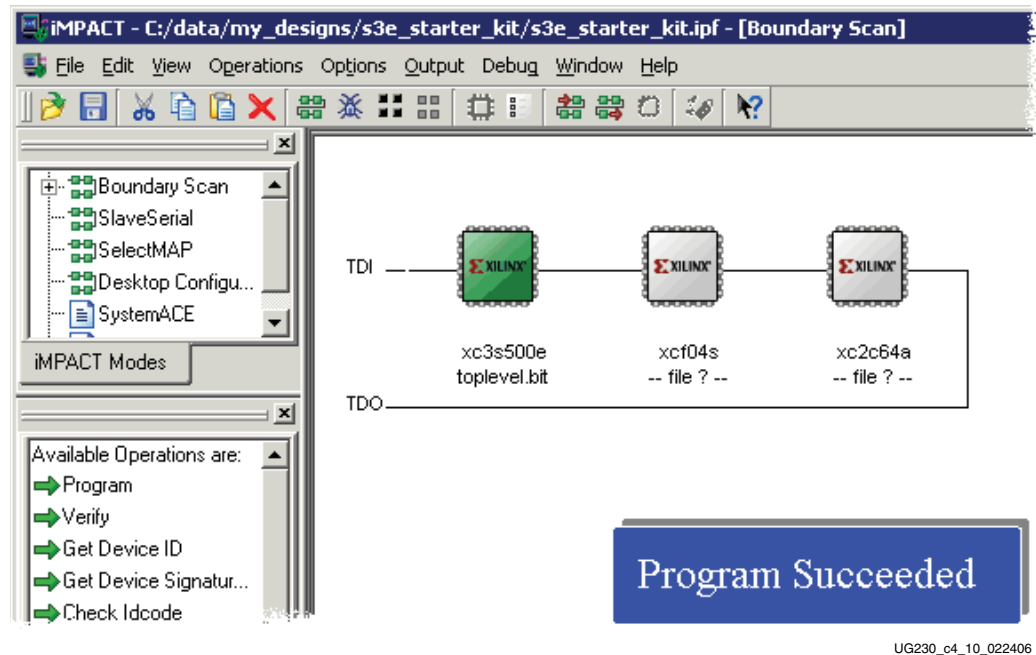


図 4-9 : iMPACT でのプログラムが完了し、FPGA の DONE ピンが High になる

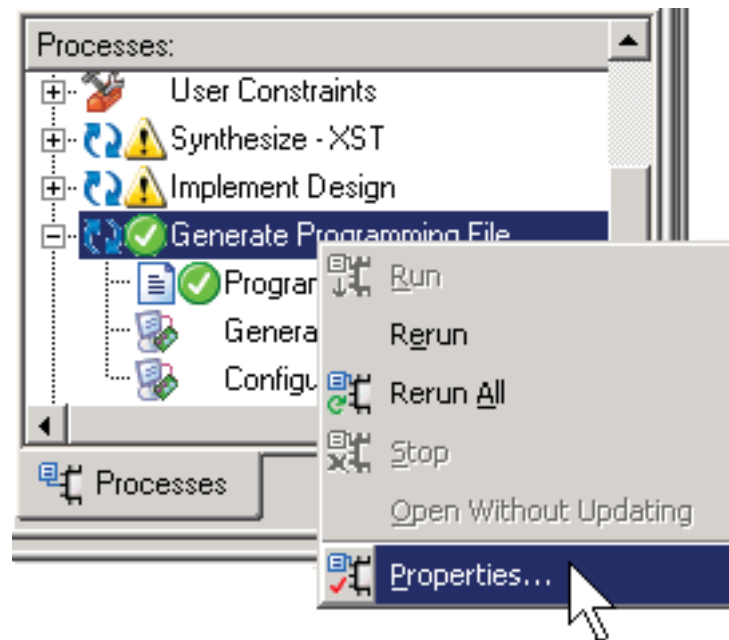
USB を使用した Platform Flash PROM のプログラム

オンボードの USB-JTAG ロジックでは、ザイリンクス XCF04S シリアル Platform Flash PROM もプログラムできます。このセクションでは、PROM ファイルを設定してボードにダウンロードし、最終的に FPGA をプログラムする方法を示します。

FPGA コンフィギュレーション ビットストリーム ファイルの生成

PROM ファイルを生成する前に、FPGA ビットストリーム ファイルを生成します。外部 PROM から FPGA に読み込む際、FPGA により出力クロック CCLK が供給されます。FPGA の内部 CCLK オシレータは、常に最低周波数 (約 1.5MHz) で開始します。ほとんどの外部 PROM では、これより高い周波数がサポートされています。CCLK の周波数を適切な値に変更し、FPGA のコンフィギュレーション時間が短縮されるようにしてください。ザイリンクス XCF04S Platform Flash では、25MHz CCLK 周波数がサポートされています。

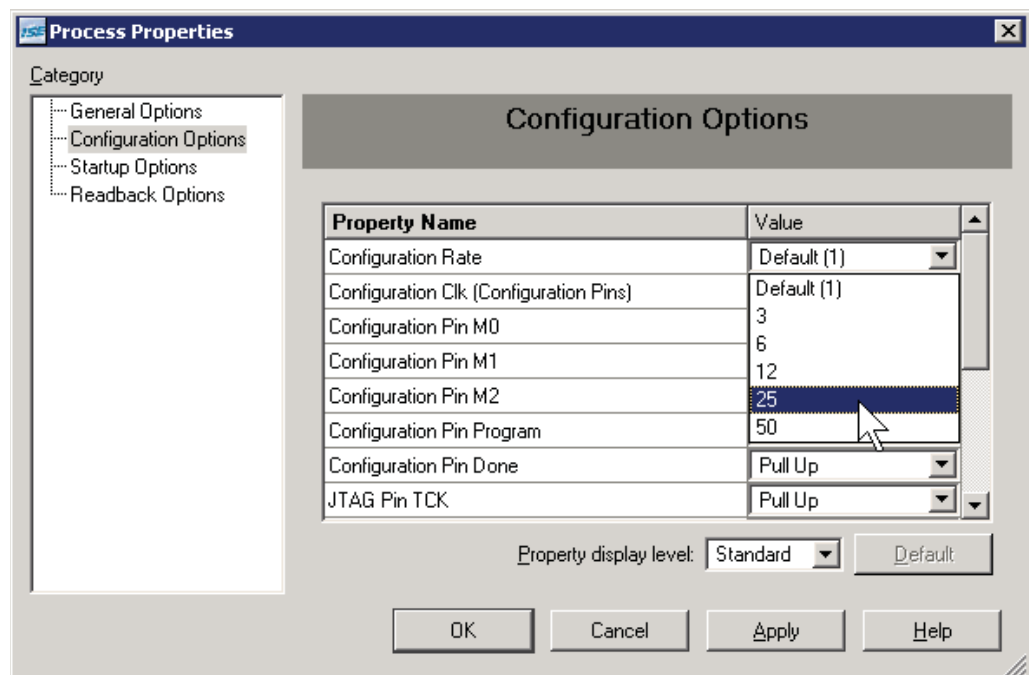
[Processes] タブで [Generate Programming File] を右クリックし、[Properties] をクリックします (図 4-10 を参照)。



UG230_c4_11_022706

図 4-10 : [Generate Programming File] プロセスのプロパティを設定

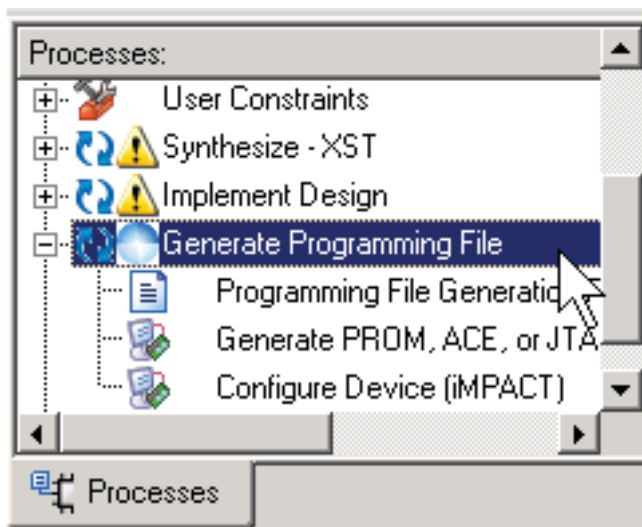
[Category] で [Configuration Options] をクリックします (図 4-11 を参照)。[Configuration Rate] のドロップダウン リストから [25] を選択し、内部 CCLK オシレータを XCF04S Platform Flash PROM の最高周波数である 25MHz に設定します。設定したら [OK] をクリックします。



UG230_c4_12_022706

図 4-11 : [Configuration Options] ページで [Configuration Rate] を設定

プログラム ファイルを生成するには、[Generate Programming File] をダブルクリックします (図 4-12 を参照)。

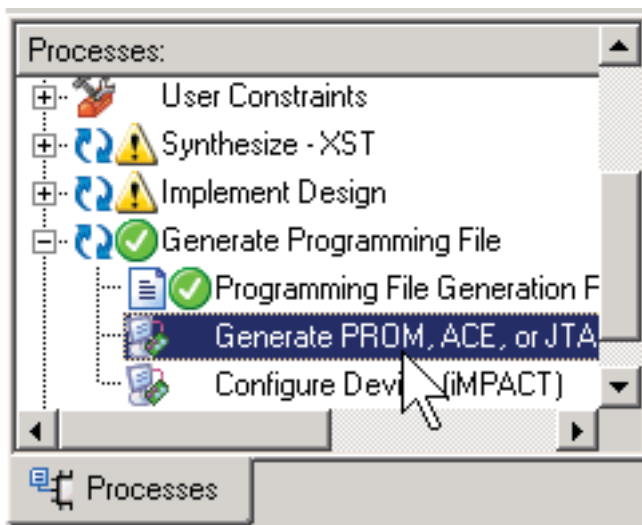


UG230_c4_13_022706

図 4-12 : [Generate Programming File] をダブルクリック

PROM ファイルの生成

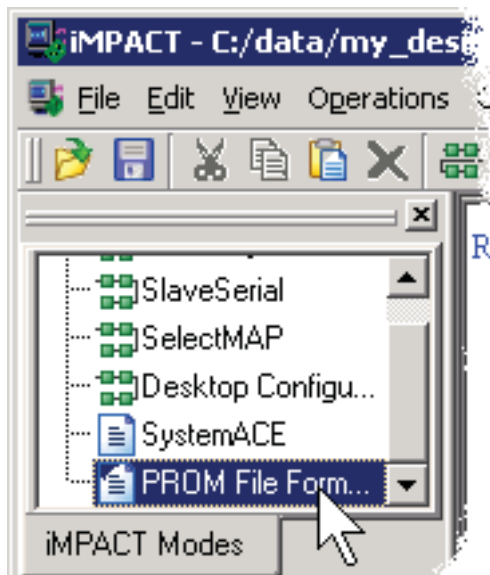
プログラム ファイルを生成した後、[Generate PROM, ACE, or JTAG File] をダブルクリックして iMPACT を起動します (図 4-13 を参照)。



UG230_c4_14_022706

図 4-13 : [Generate PROM, ACE, or JTAG File] をダブルクリック

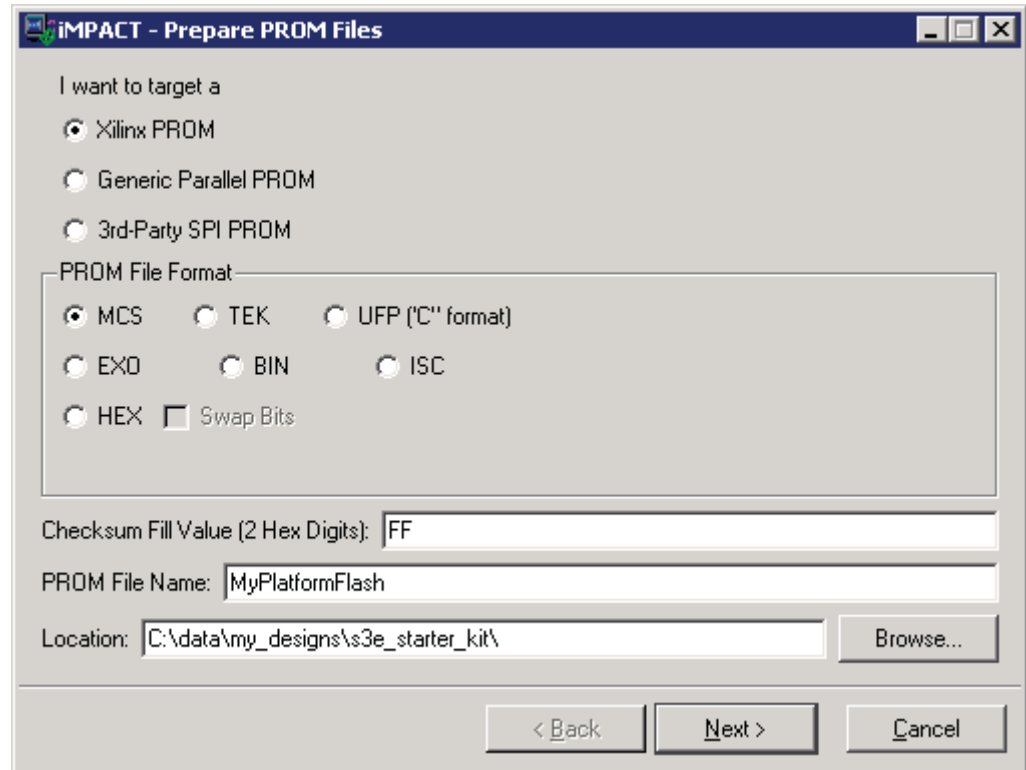
iMPACT が起動したら、[PROM File Formatter] をダブルクリックします (図 4-14 を参照)。



UG230_e4_15_022706

図 4-14 : [PROM File Formatter] をダブルクリック

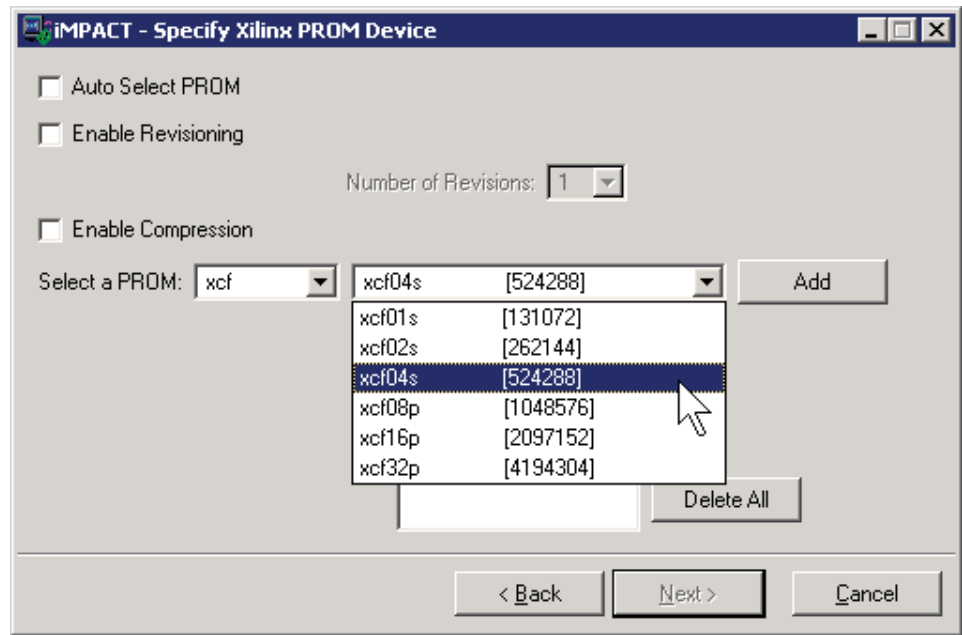
ターゲットの PROM タイプとして [Xilinx PROM] を選択します (図 4-15 を参照)。[PROM File Format] からフォーマットを選択します。Intel 社の Hex フォーマット ([MCS]) がよく使用されます。PROM ファイルの場所 ([Location]) と名前 ([PROM File Name]) を入力します。設定が終了したら、[Next >] をクリックします。



UG230_c4_16_022706

図 4-15 : ターゲット PROM のタイプ、ファイルフォーマット、および場所と名前を指定

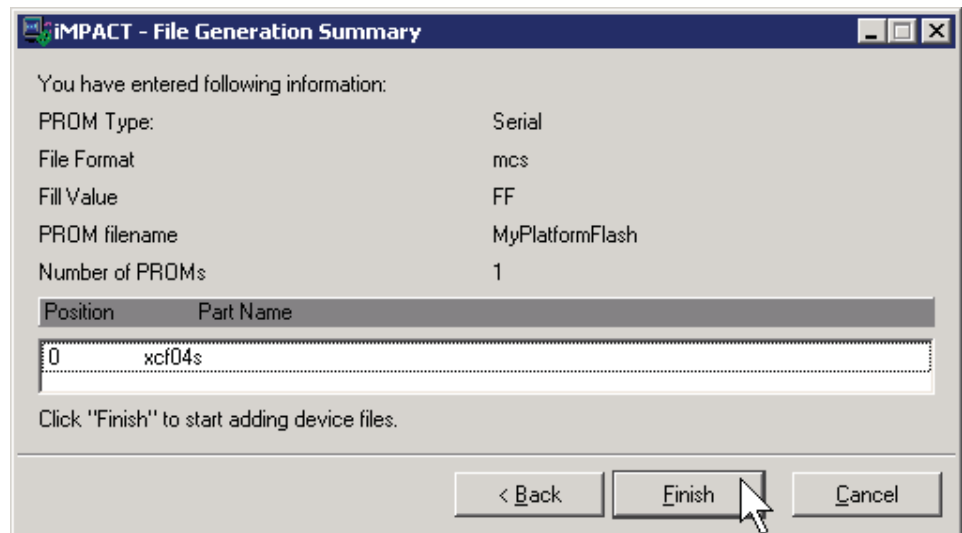
Spartan-3E スタータ キット ボードには、XCF04S Platform Flash PROM が搭載されています。ドロップダウン リストから [xcf04s] を選択します (図 4-16 を参照)。[Add] をクリックし、[Next >] をクリックします。



UG230_c4_17_022706

図 4-16 : XCF04S Platform Flash PROM を選択

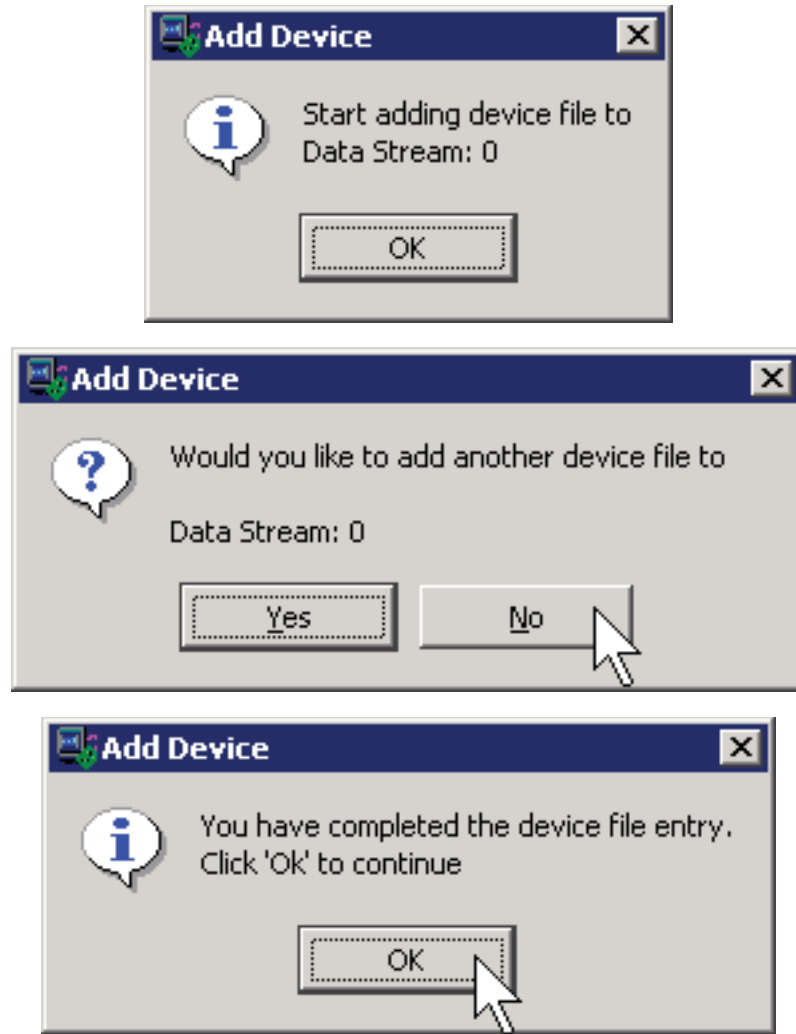
図 4-17 に示すように、設定のサマリが表示されます。[Finish] をクリックします。



UG230_c4_18_022706

図 4-17 : PROM Formatter の設定を入力した後、[Finish] をクリック

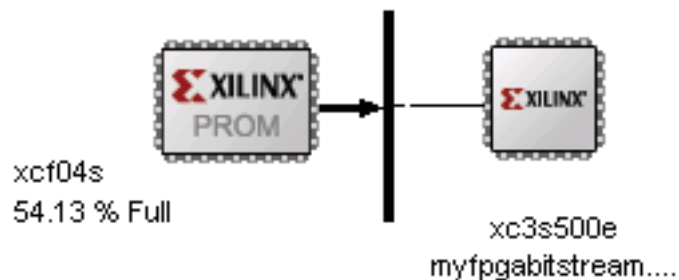
FPGA コンフィギュレーション ビットストリーム ファイルの名前を示すダイアログ ボックスが表示されます (図 4-18 を参照)。[OK] をクリックし、ファイルを選択します。FPGA ビットストリーム ファイル (*.bit) を選択します。最後の FPGA ファイルを選択したら、[No] をクリックし、次に表示されるダイアログ ボックスで [OK] をクリックします。



UG230_c4_19_022706

図 4-18 : FPGA コンフィギュレーション ビットストリーム ファイルの選択

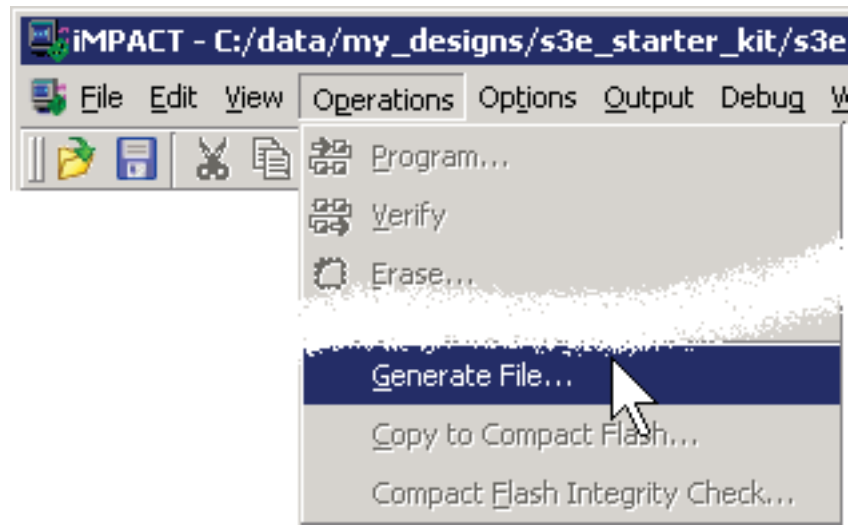
PROM のフォーマットが完了すると、iMPACT に PROM、FPGA ビットストリーム、ビットストリームで使用される PROM の容量が表示されます。図 4-19 に、1 つの XC3S500E FPGA 用ビットストリームを XCF04S Platform Flash PROM に保存する例を示します。



UG230_c4_20_022706

図 4-19 : PROM のフォーマット完了

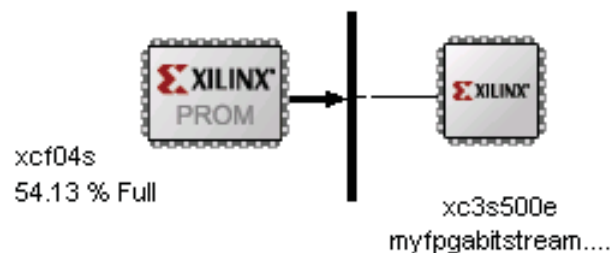
PROM ファイルを生成するには、[Operations] → [Generate File] をクリックします (図 4-20 を参照)。



UG230_c4_21_022706

図 4-20 : [Operations] → [Generate File] をクリックして PROM ファイルを生成

図 4-21 に示すように、iMPACT に PROM ファイルの生成が正常に完了したことを示すメッセージが表示されます。



PROM File Generation Succeeded

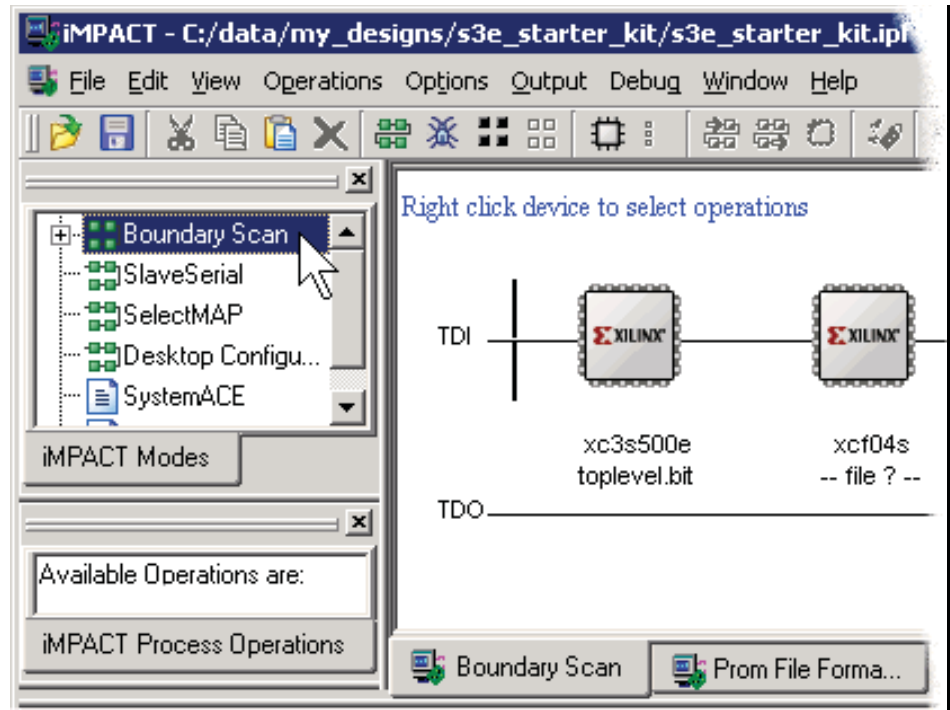
UG230_c4_22_022706

図 4-21 : PROM ファイルの生成完了

Platform Flash PROM のプログラム

フォーマット済みの PROM ファイルをオンボードの USB-JTAG 回路を使用して Platform Flash PROM にプログラムするには、このセクションに示す手順に従います。

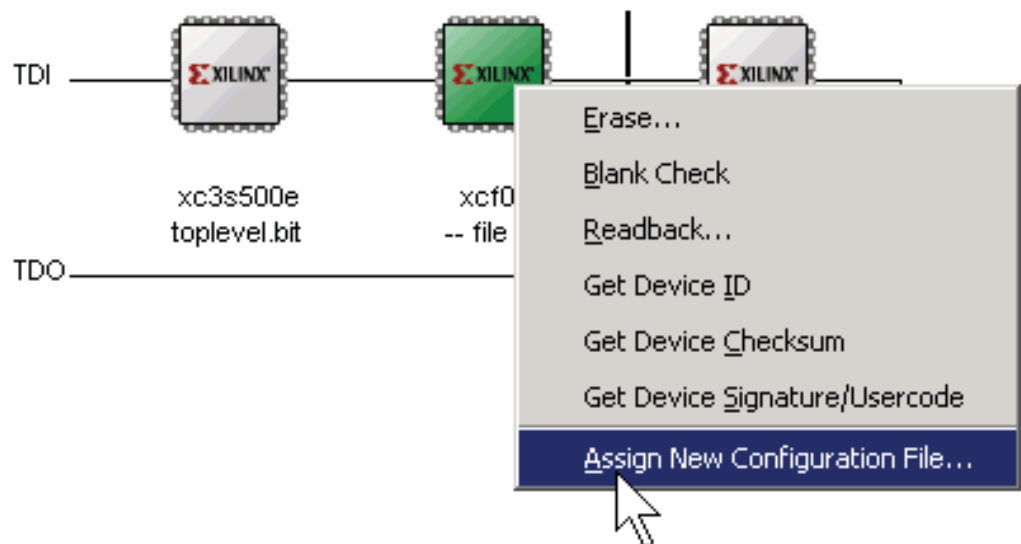
[iMPACT Modes] タブで [Boundary Scan] をクリックするか、[Boundary Scan] タブをクリックして JTAG バウンダリ スキャン モードを選択します (図 4-22 を参照)。



UG230_c4_23_022706

図 4-22 : バウンダリ スキャン モードを選択

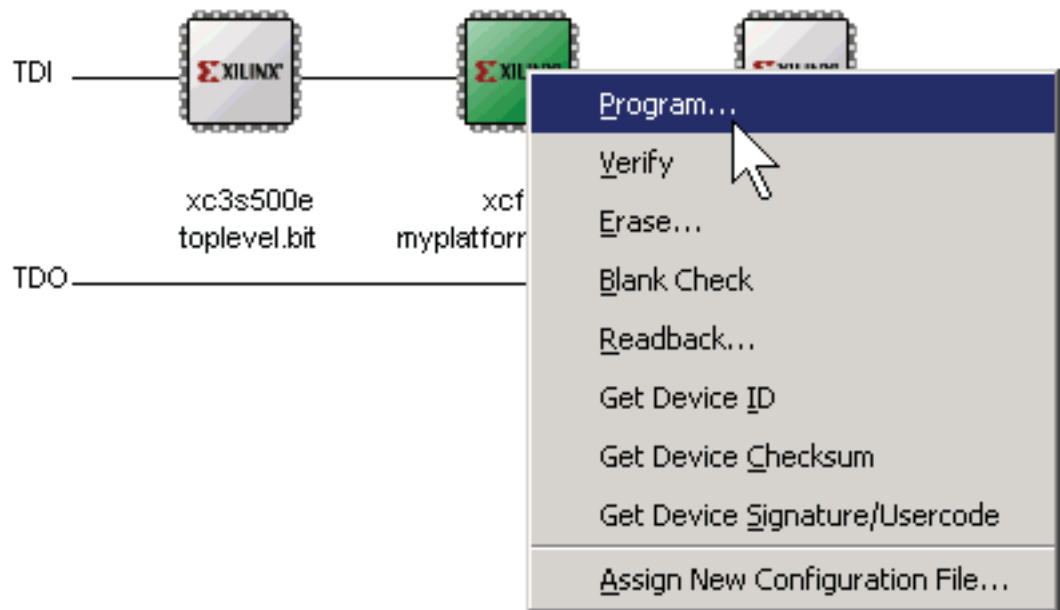
JTAG チェーンの XCF04S Platform Flash PROM に PROM ファイルを割り当てます (図 4-23 を参照)。PROM アイコンを右クリックし、[Assign New Configuration File] をクリックします。PROM ファイルを選択し、[OK] をクリックします。



UG230_c4_24_022806

図 4-23 : XCF04S Platform Flash PROM に PROM ファイルを割り当て

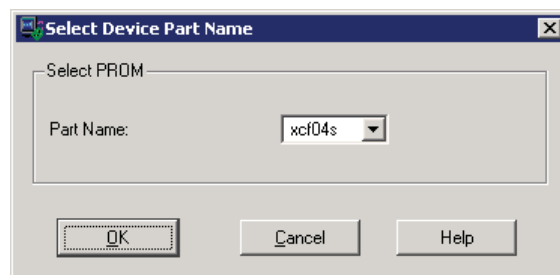
PROM のプログラムを開始するには、PROM を右クリックして [Program] をクリックします。



UG230_c4_25_022806

図 4-24 : XCF04S Platform Flash PROM をプログラム

PROM のタイプを指定するダイアログ ボックスが表示されます。[xcf04s] を選択し、[OK] をクリックします (図 4-25 を参照)。

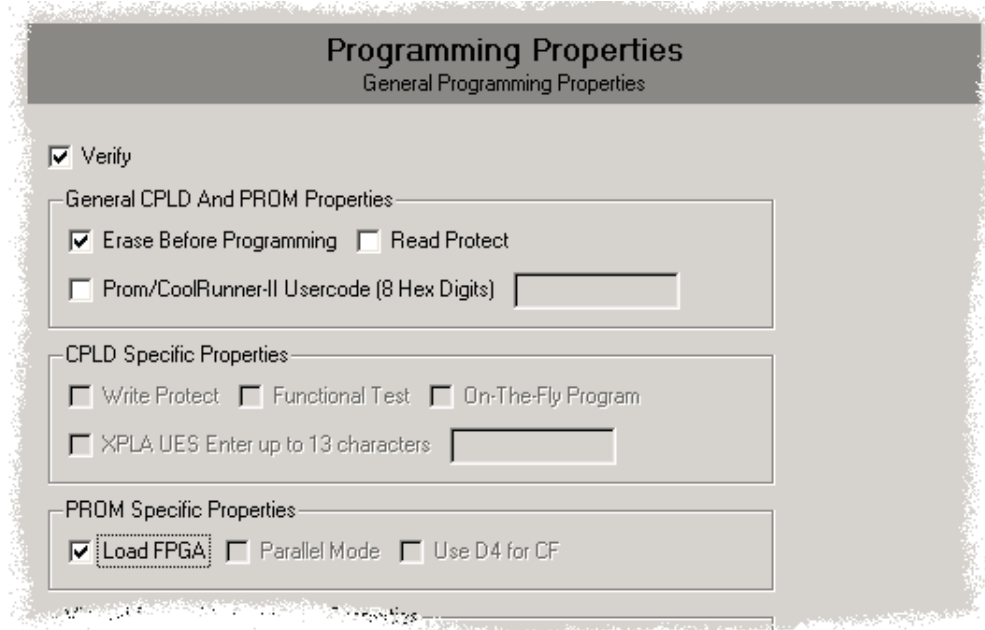


UG230_c4_26_022806

図 4-25 : XCF04S Platform Flash PROM をプログラム

プログラムを開始する前に、図 4-26 に示す [Programming Properties] ダイアログ ボックスの [Programming Properties] ページでプログラム オプションを選択します。[Erase Before Programming] をオンにすると、プログラムの前に Platform Flash PROM の内容が完全に消去され、以前のデータが残存することはありません。[Verify] をオンにすると、PROM が正しくプログラムされ、ダウンロードされたコンフィギュレーション ビットストリームと一致しているかどうかチェックされます。プログラム時間は長くなりますが、これらのオプションをオンにすることをお勧めします。

[Load FPGA] をオンにすると、Platform Flash PROM をプログラムした後すぐに FPGA がリコンフィギュレーションされます。FPGA のコンフィギュレーション モードを、29 ページの表 4-1 を参照してマスタ シリアル モードに設定してください。設定したら [OK] をクリックします。



UG230_c4_27_022806

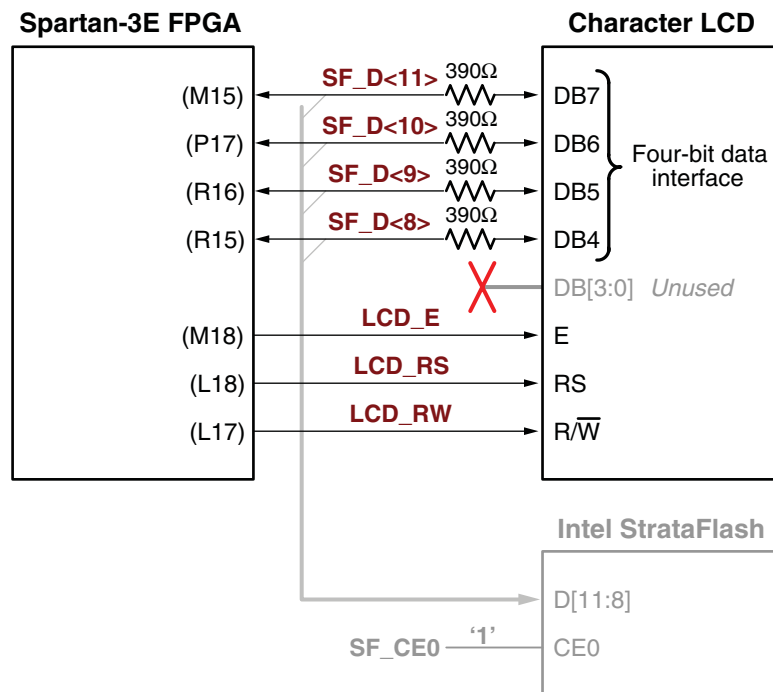
図 4-26 : PROM のプログラム オプション

iMPACT にプログラムが正常に完了したかどうかが表示されます。プログラムが正常に完了して、[Load FPGA] をオンにしていなかった場合は、28 ページの図 4-2 に示す PROG_B プッシュ ボタンを押して新たにプログラムした Platform Flash PROM から FPGA をリコンフィギュレーションします。FPGA が正常にコンフィギュレーションされると、図 4-2 に示す DONE LED が点灯します。

キャラクタ LCD スクリーン

概要

Spartan-3E スタータ キット ボードには、2 行 X 16 桁の液晶ディスプレイ (LCD) が搭載されています。FPGA は、[図 5-1](#) に示すように、4 ビット データ インターフェイスを介して LCD を制御します。LCD では 8 ビット データ インターフェイスがサポートされますが、スタータ キット ボードでは 4 ビット データ インターフェイスを使用して、ほかのザイリンクス開発ボードとの互換性を保ち、またピン数を最小限に抑えています。



UG230_c5_01_022006

図 5-1 : キャラクタ LCD インターフェイス

LCD は、使用法を習得してしまえば、標準の ASCII 文字や、ユーザー定義文字を使用した情報の表示に実用的です。ただし、表示速度は速くありません。ディスプレイのスクロールは 0.5 秒間隔なので、画像の鮮明さに欠けます。表示速度は、ボード上の 50MHz クロックよりも遅くなります。PicoBlaze プロセッサを使用すると、表示タイミングおよび表示内容を効果的に制御できます。

キャラクタ LCD のインターフェイス信号

表 5-1 に、キャラクタ LCD のインターフェイス信号を示します。

表 5-1：キャラクタ LCD のインターフェイス信号

信号名	FPGA ピン	ファンクション	
SF_D<11>	M15	データ ビット DB7	StrataFlash ピン SF_D<11:8> と共有
SF_D<10>	P17	データ ビット DB6	
SF_D<9>	R16	データ ビット DB5	
SF_D<8>	R15	データ ビット DB4	
LCD_E	M18	読み出し/書き込み イネーブル パルス 0: ディスエーブル 1: 読み出し/書き込み動作イネーブル	
LCD_RS	L18	レジスタの選択 0: 書き込み動作中は命令レジスタ。読み出し動作中は Busy Flash。 1: 読み出しまたは書き込み動作のデータ	
LCD_RW	L17	読み出し/書き込み制御 0: 書き込み - LCD がデータを受信 1: 読み出し - LCD がデータを表示	

電圧の互換性

キャラクタ LCD の電圧は、+5V、FPGA I/O 信号の電圧は 3.3V です。ただし、LCD では、FPGA の出力レベルは有効なロジックレベル Low または High として認識されます。LCD コントローラは 5V TTL 信号レベルを受信し、FPGA が供給する 3.3V LVCMOS 出力は 5V TTL 電圧レベルの条件を満たします。

データライン上の 390Ω の直列抵抗は、キャラクタ LCD がロジック High を駆動している場合に、FPGA および StrataFlash I/O ピンに過度の負荷がかかるのを防ぎます。キャラクタ LCD は、LCD_RW が High のときにデータラインを駆動します。LCD は、ほとんどのアプリケーションで書き込みのみのペリフェラルとみなされ、ディスプレイから読み出されることはありません。

Intel StrataFlash との関係

図 5-1 に示すように、4 つの LCD データ信号は StrataFlash データライン SF_D<11:8> と共有されています。表 5-2 に示すように、LCD と StrataFlash へのアクセスはデザイン内でのアプリケーションの用途によって決まります。StrataFlash メモリがディスエーブルのとき (SF_CE0 = High) は、FPGA アプリケーションには LCD への完全な読み出し/書き込みアクセスがあります。反対に、LCD 読み出し動作がディスエーブルのとき (LCD_RW = Low) は、FPGA アプリケーションには StrataFlash メモリへの完全な読み出し/書き込みアクセスがあります。

表 5-2 : LCD/StrataFlash へのアクセス制御

SF_CE0	SF_BYTE	LCD_RW	動作
1	X	X	StrataFlash ディスエーブル。LCD への完全な読み出し/書き込みアクセス。
X	X	0	LCD 書き込みアクセスのみ。StrataFlash への完全アクセス。
X	0	X	StrataFlash はバイト幅 (x8) モード。上位アドレスラインは使用されない。LCD および StrataFlash への完全アクセス。

メモ :

1. 「X」はドントケアで、0でも1でもかまわないことを示します。

StrataFlash メモリがバイト幅 (x8) モード (SF_BYTE = Low) の場合、FPGA アプリケーションには LCD および StrataFlash メモリへの完全同時読み出し/書き込みアクセスがあります。バイト幅モードでは、StrataFlash メモリは SF_D<15:8> データラインを使用しません。

UCF ロケーション制約

図 5-2 に、キャラクタ LCD に I/O ピンと I/O 規格を指定する UCF 制約を示します。

```

NET "LCD_E"      LOC = "M18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "LCD_RS"     LOC = "L18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "LCD_RW"     LOC = "L17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

# The LCD four-bit data interface is shared with the StrataFlash.
NET "SF_D<8>"    LOC = "R15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<9>"    LOC = "R16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<10>"   LOC = "P17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<11>"   LOC = "M15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```

図 5-2 : キャラクタ LCD の UCF ロケーション制約

LCD コントローラ

2 x 16 キャラクタ LCD の内部には、Sitronix 社製 [ST7066U](#) グラフィック コントローラがあり、次のデバイスと同等の機能を果たします。

- Samsung 社製 [S6A0069X](#) または KS0066U
- 日立製 HD44780
- SMOS SED1278

メモリ マップ

コントローラには内部メモリ領域が 3 つあり、それぞれが異なった用途に使用されています。ディスプレイはメモリ領域にアクセスする前に初期化される必要があります。

DD RAM

DD RAM (Display Data RAM) には、スクリーンに表示される文字コードが格納されます。アプリケーションのほとんどは、主に DD RAM と対話します。DD RAM に格納された文字コードは、定義済みの CG ROM 文字セットまたはユーザー定義の CG RAM 文字セットに格納された、対応する文字のビットマップを参照します。

図 5-3 に、ディスプレイ上の 32 文字のロケーションのデフォルト アドレスを示します。上の行の文字はアドレス 0x00 ~ 0x0F に、下の行の文字はアドレス 0x40 ~ 0x4F に格納されます。

表示される文字のアドレス																表示されないデータのアドレス			
1	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F	10	...	27
2	40	41	42	43	44	45	46	47	48	49	4A	4B	4C	4D	4E	4F	50	...	67
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	...	40

図 5-3：DD RAM の 16 進アドレス (ディスプレイ シフトなし)

物理的には、全部で 80 桁のロケーションが DD RAM にあり、各行に 40 桁ずつ割り当てられています。アドレス 0x10 から 0x27 と、0x50 から 0x67 のロケーションは、表示されないデータの格納に使用されます。このロケーションは、コントローラのディスプレイシフト機能を使用した場合にのみ表示される文字の格納に使用することもできます。

Set DD RAM Address コマンドを使用すると、DD RAM への読み出しまたは書き込みの前にアドレスカウンタが初期化されます。**Write Data to CG RAM or DD RAM** コマンドを使用して DD RAM データを書き込み、**Read Data from CG RAM or DD RAM** コマンドを使用して DD RAM データを読み出します。

DD RAM のアドレスカウンタは、読み出し/書き込み動作後に一定に保たれるか、または **Entry Mode Set** コマンドで設定された I/D の定義に応じて自動的に 1 ロケーションずつ増減します。

CG ROM

CG ROM (キャラクタ ジェネレータ ROM) には LCD スクリーンで表示できる定義済みの文字のフォントビットマップが含まれます。図 5-4 にこれを示します。DD RAM の各位置に格納されている文字コードで、CG ROM を参照します。たとえば、DD RAM ロケーションに記憶された 16 進の文字コード 0x53 は、「S」を表します。0x53 の上位 4 ビットはバイナリの DB[7:4]="0101" と等しく、下位 4 ビットは DB[3:0]="0011" と一致します。図 5-4 に示すように、「S」の文字がスクリーンに表示されます。

英字は CG ROM に ASCII と同じコードアドレスで格納されます。

		Upper Data Nibble															
		0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	
DB7	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1		
DB6	0	0	0	1	1	1	1	0	0	1	1	1	1	1	1		
DB5	0	1	1	0	0	1	1	1	1	0	0	1	1	1	1		
DB4	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1		
Lower Data Nibble	XXXX0000		0	1	P	`	P	-	タ	ミ	α	β					
	XXXX0001		!	1	A	Q	a	q	。	ア	チ	△	△	△	△		
	XXXX0010		"	2	B	R	b	r	「	イ	ツ	×	β	θ			
	XXXX0011	CG RAM	#	3	C	S	c	s	」	ウ	テ	ε	ε	ω			
	XXXX0100	CG RAM	\$	4	D	T	d	t	、	エ	ト	μ	μ	Ω			
	XXXX0101		%	5	E	U	e	u	・	オ	ナ	1	ε	Ü			
	XXXX0110		&	6	F	V	f	v	ヲ	カ	ニ	ヨ	ρ	Σ			
	XXXX0111		'	7	G	W	g	w	フ	キ	ヌ	ラ	q	π			
	XXXX1000		(8	H	X	h	x	イ	ク	ネ	リ	」	Σ			
	XXXX1001)	9	I	Y	i	y	ウ	ケ	ル	”	”	”	”		
	XXXX1010		*	:	J	Z	j	z	エ	コ	ン	レ	i	千			
	XXXX1011		+	:	K	[k	[オ	サ	ヒ	ロ	*	万			
	XXXX1100		,	<	L	¥	1	1	ヤ	シ	フ	フ	φ	円			
	XXXX1101		-	=	M]	m]	ユ	ズ	へ	ン	も	÷			
	XXXX1110		.	>	N	^	n	^	ヨ	セ	ホ	”	”	”			
	XXXX1111		/	?	O	_	o	_	ッ	ッ	マ	”	”	”	”		

UG230_c5_02_030306

図 5-4 : LCD 文字セット

キャラクタ ROM には、ASCII 英語文字セットと日本語かな文字が含まれます。

また、CG RAM に格納された 8 文字のユーザー定義文字ビットマップもコントローラより提供されます。この 8 文字のユーザー定義文字のコードは、DD RAM ロケーションの 0x00 から 0x07 に格納されます。

CG RAM

CG RAM (キャラクタ ジェネレータ RAM) には、8 文字のユーザー定義文字ビットマップを作成するスペースがあります。ユーザー定義文字のロケーションには、図 5-5 に示すように、5 ドット X 8 行のビットマップが格納されます。

Set CG RAM Address コマンドを使用すると、CG RAM への読み出しまたは書き込みの前にアドレスカウンタが初期化されます。**Write Data to CG RAM or DD RAM** コマンドを使用して CG RAM データを書き込み、**Read Data from CG RAM or DD RAM** コマンドを使用して CG RAM データを読み出します。

CG RAM のアドレスカウンタは読み出し/書き込み動作後に一定に保たれるか、または **Entry Mode Set** コマンドで設定された **ID** の定義に応じて自動的に 1 ロケーションずつ増減します。

図 5-5 に、ユーザー定義の市松模様の文字を作成する例を示します。ユーザー定義文字は 4 番目の CG RAM 文字ロケーションに格納され、DD RAM ロケーションが 0x03 のときに表示されます。ユーザー定義文字を書き込むには、まず **Set CG RAM Address** コマンドを使用して CG RAM アドレスを初期化します。アドレスの上位 3 ビットはユーザー定義文字のロケーションを指し、下位 3 ビットは文字ビットマップの行アドレスを指します。**Write Data to CG RAM or DD RAM** コマンドを使用して、それぞれの文字ビットマップ行を書き込みます。「1」の部分のビットはディスプレイで白く表示され、「0」の部分は黒く表示されます。下位の 5 データビットのみが使用され、上位の 3 データビットはドントケアです。ビットマップデータの 8 行目は通常カーソル用で、すべて 0 のままです。

						上位 4 ビット				下位 4 ビット			
						Write Data to CG RAM or DD RAM							
A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
文字アドレス			行アドレス			ドントケア			文字ビットマップ				
0	1	1	0	0	0	-	-	-	0	0	0	0	0
0	1	1	0	0	1	-	-	-	0	0	0	0	0
0	1	1	0	1	0	-	-	-	0	0	0	0	0
0	1	1	0	1	1	-	-	-	0	0	0	0	0
0	1	1	1	0	0	-	-	-	0	0	0	0	0
0	1	1	1	0	1	-	-	-	0	0	0	0	0
0	1	1	1	1	0	-	-	-	0	0	0	0	0
0	1	1	1	1	1	-	-	-	0	0	0	0	0

図 5-5 : 文字コード 0x03 のユーザー定義の市松模様文字の例

コマンド セット

表 5-3 に、使用可能な LCD コントローラ コマンドとビット定義を示します。ディスプレイは 4 ビット 動作用に設定されているので、8 ビットコマンドは 4 ビットずつ、2 つに分けて送信されます。上位 4 ビットが先に送信され、下位 4 ビットが続けて送信されます。

表 5-3 : LCD 文字ディスプレイコマンド セット

コマンド	LCD_RS	LCD_RW	上位 4 ビット				下位 4 ビット			
			DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Clear Display	0	0	0	0	0	0	0	0	0	1
Return Cursor Home	0	0	0	0	0	0	0	0	1	-
Entry Mode Set	0	0	0	0	0	0	0	1	I/D	S
Display On/Off	0	0	0	0	0	0	1	D	C	B
Cursor and Display Shift	0	0	0	0	0	1	S/C	R/L	-	-
Function Set	0	0	0	0	1	0	1	0	-	-
Set CG RAM Address	0	0	0	1	A5	A4	A3	A2	A1	A0
Set DD RAM Address	0	0	1	A6	A5	A4	A3	A2	A1	A0
Read Busy Flag and Address	0	1	BF	A6	A5	A4	A3	A2	A1	A0
Write Data to CG RAM or DD RAM	1	0	D7	D6	D5	D4	D3	D2	D1	D0
Read Data from CG RAM or DD RAM	1	1	D7	D6	D5	D4	D3	D2	D1	D0

ディスエーブル

LCD_E イネーブル信号が Low の場合、LCD へのほかの入力はすべて無視されます。

Clear Display

ディスプレイの表示をクリアし、カーソルを左上隅のホームポジションに戻します。

このコマンドにより、すべての DD RAM アドレスに空白スペース (ASCII/ANSI 文字コード 0x20) が書き込まれます。アドレスカウンタは 0 (DD RAM のロケーション 0x00) にリセットされます。すべてのオプション設定がクリアされます。I/D 制御ビットは、Entry Mode Set コマンドにより 1 (アドレスカウンタ増分モード) に設定されます。

実行時間 : 82 μ s ~ 1.64ms

Return Cursor Home

カーソルを左上隅のホームポジションに戻します。DD RAM の内容は変更されません。また、[図 5-3](#) に示すように、シフトしたディスプレイを元の位置に戻します。

アドレスカウンタは 0 (DD RAM のロケーション 0x00) にリセットされます。ディスプレイがシフトしていれば、元の状態に戻ります。カーソルまたは点滅は左上隅の位置に移動します。

実行時間 : 40 μ s ~ 1.6ms

Entry Mode Set

カーソルの移動方向を設定し、ディスプレイをシフトするかどうかを指定します。

この動作はデータの読み出しおよび書き込み中に実行されます。

実行時間 : 40 μ s

ビット DB1 : 増分/減分 (I/D)

0	自動減分アドレス カウンタ。カーソル/点滅は左に移動。
1	自動増分アドレス カウンタ。カーソル/点滅は右に移動。

このビットを設定すると、**Write Data to CG RAM or DD RAM** コマンドまたは **Read Data from CG RAM or DD RAM** コマンドを実行するたびに、DD RAM および CG RAM アドレス カウンタが自動的に 1 ロケーション分増分または減分します。カーソルまたは点滅は適切な位置に移動します。

ビット DB0 : シフト (S)

0	ディスエーブル
1	DD RAM の書き込み動作中、ビット DB1 (I/D) に制御された方向にディスプレイの値全体をシフト。カーソル位置は動かず、ディスプレイが移動したように見えます。

Display On/Off

ディスプレイをオン/オフにし、文字、カーソル、カーソル位置を示すアンダースコアの点滅を制御します。

実行時間 : 40 μ s

ビット DB2 : ディスプレイのオン/オフ (D)

0	文字を表示せず、DD RAM に格納されたデータを保持
1	DD RAM に格納された文字を表示

ビット DB1 : カーソルのオン/オフ (C)

カーソルを、文字の一番下の行の 5 ドットを使用して下線として表示します。

0	カーソルなし
1	カーソルを表示

ビット DB0 : カーソル点滅のオン/オフ (B)

0	点滅なし
1	0.5 秒ごとに点滅

Cursor and Display Shift

DD RAM の内容を変更せずに、カーソルを移動しディスプレイを左右にシフトします。ディスプレイ データは読み出しおよび書き込みされません。

この機能で、修正する文字の位置にカーソルを移動したり、ディスプレイ ウィンドウを左右にスクロールして DD RAM に記憶されている 16 桁目以降の文字を表示できます。1 行目の 40 桁を過ぎると、カーソルは自動的に 2 行目に移動します。1 行目と 2 行目は同時にシフトします。

表示されたデータをシフトさせると、両方の行が水平に動きます。2 行目のデータが 1 行目に移動することはありません。

実行時間 : 40 μ s

表 5-4 : S/C および R/L ビットに基づくシフト パターン

DB3 (S/C)	DB2 (R/L)	動作
0	0	カーソル位置を左にシフト。アドレス カウンタは 1 つ減分。
0	1	カーソル位置を右にシフト。アドレス カウンタは 1 つ増分。
1	0	ディスプレイ全体を左にシフト。カーソルはディスプレイのシフトと共に移動。アドレス カウンタは変更なし。
1	1	ディスプレイ全体を右にシフト。カーソルはディスプレイのシフトと共に移動。アドレス カウンタは変更なし。

Function Set

インターフェイス データ長、ディスプレイ行数、文字フォントを設定します。

スタータ キット ボードは、値が 0x28 のファンクション セット 1 つをサポートします。

実行時間 : 40 μ s

Set CG RAM Address

CG RAM の初期アドレスを設定します。

このコマンドが実行された後のディスプレイへの読み出し/書き込み動作はすべて CG RAM に対して行われます。

実行時間 : 40 μ s

Set DD RAM Address

DD RAM の初期アドレスを設定します。

このコマンドの後のディスプレイへの読み出し/書き込み動作は、すべて DD RAM に対して実行されます。表示される文字のアドレスは、[図 5-3](#) に示すとおりです。

実行時間 : 40 μ s

Read Busy Flag and Address

BF (Busy Flag) を読み出し、内部動作が進行中かを確認し、現在のアドレス カウンタの内容を読み出します。

BF = 1 であれば、内部動作が進行中です。次の命令は、BF がクリアになるか、現在の命令の実行最大時間を過ぎるまで承認されません。

このコマンドはアドレス カウンタの現在の値を返します。アドレス カウンタは CG RAM アドレス および DD RAM アドレスの両方に使用されます。どちらの値であるかは、直前に発行されたコマンドが [Set CG RAM Address](#) および [Set DD RAM Address](#) のどちらであるかにより特定されます。

実行時間 : 1 μ s

Write Data to CG RAM or DD RAM

前のコマンドが [Set DD RAM Address](#) であればデータは DD RAM に書き込まれ、[Set CG RAM Address](#) であれば CG RAM に書き込まれます。

書き込み動作の後、[Entry Mode Set](#) コマンドに応じて、アドレスが自動的に 1 ずつ増分/減分します。エントリ モードにより、ディスプレイシフトが決定します。

実行時間 : 40 μ s

Read Data from CG RAM or DD RAM

前のコマンドが [Set DD RAM Address](#) であればデータは DD RAM より読み出され、[Set CG RAM Address](#) であれば CG RAM より読み出されます。

読み出し動作の後、[Entry Mode Set](#) コマンドに応じて、アドレスが自動的に 1 ずつ増分/減分します。読み出し動作中はディスプレイはシフトされません。

実行時間 : 40 μ s

動作

4 ビット データ インターフェイス

ボードは、キャラクタ LCD との通信に 4 ビット データ インターフェイスを使用します。

図 5-6 は、LCD への書き込み動作を図示したものです。ボード上の 50MHz クロック (20ns 周期) を基準に、セットアップ タイム、ホールド タイム、およびイネーブル パルス長に許容される最小時間が示されています。

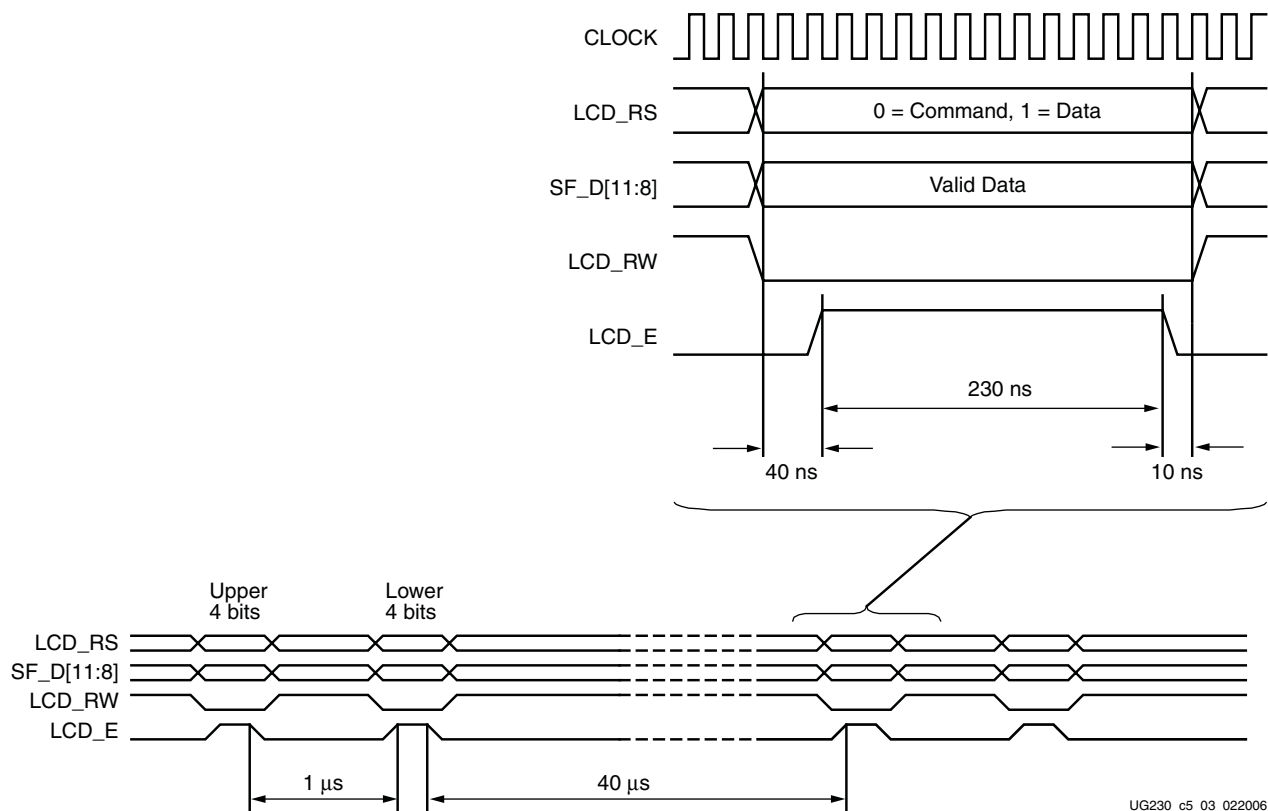


図 5-6 : キャラクタ LCD インターフェイス タイミング

SF_D<11:8> 上のデータ値、レジスタ選択 (LCD_RS) 制御信号および読み出し/書き込み (LCD_RW) 制御信号は、イネーブル LCD_E が High になる少なくとも 40ns 前には設定され、安定している必要があります。イネーブル信号は、230ns 以上 High に保持する必要があります。これは、50MHz での 12 クロックサイクル以上と同等です。

アプリケーションの多くでは、LCD_RW 信号は Low に接続できます。FPGA では一般的に、ディスプレイから情報を読み出すことがないからです。

4 ビット インターフェイスでの 8 ビット データの送信

ディスプレイが初期化され、通信が確立したら、キャラクタディスプレイへのコマンドとデータはすべて 8 ビットで送信されますが、図 5-6 に示すように、最低 1 μ s の間隔を置いた 2 つの 4 ビット送信に分割して送信されます。上位 4 ビットが先に送信され、下位 4 ビットが続けて送信されます。8 ビットの書き込み動作後は、最低 40 μ s の間隔を置いて、次の通信を開始します。この遅延は、Clear Display コマンドの後は、1.64ms にする必要があります。

ディスプレイの初期化

電源投入後、ディスプレイを初期化して、必要な通信プロトコルを確立します。初期化の手順は簡単で、高効率の 8 ビット PicoBlaze エンベデッド コントローラに適しています。初期化後、PicoBlaze コントローラは単にディスプレイを駆動するだけでなく、もっと複雑な制御や操作に使用できるようになります。

電源投入時の初期化

次の手順に従って、FPGA アプリケーションが LCD との通信に 4 ビット データ インターフェイスを使用するように設定します。

- ディスプレイは通常、FPGA がコンフィギュレーションを完了すると使用可能ですが、ここでは 15ms 以上待機します。15ms は、50MHz での 750,000 クロック サイクルと同等です。
- SF_D<11:8> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
- 4.1ms 以上待機します。これは、50MHz での 205,000 クロック サイクルと同等です。
- SF_D<11:8> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
- 100µs 以上待機します。これは、50MHz での 5,000 クロック サイクルと同等です。
- SF_D<11:8> = 0x3 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
- 40µs 以上待機します。これは、50MHz での 2,000 クロック サイクルと同等です。
- SF_D<11:8> = 0x2 を書き込み、パルス LCD_E を 12 クロック サイクルの間 High に保持します。
- 40µs 以上待機します。これは、50MHz での 2,000 クロック サイクルと同等です。

ディスプレイのコンフィギュレーション

電源投入後の初期化が完了すると、4 ビット インターフェイスが確立されます。次の手順で、ディスプレイを設定します。

- **Function Set** コマンド 0x28 を発行し、ディスプレイが Spartan-3E スタータ キット ボード上で動作するように設定します。
- **Entry Mode Set** コマンド 0x06 を発行し、アドレス ポインタが自動的に増分するように設定します。
- **Display On/Off** コマンド 0x0C を発行し、ディスプレイをオンにして、カーソルと点滅をディスプレイにします。
- 最後に、**Clear Display** コマンドを発行します。コマンド発行後、少なくとも 1.64 ms (82,000 クロック サイクル) 間待機します。

ディスプレイへのデータの書き込み

ディスプレイにデータを書き込むには、開始アドレスを指定し、その後にデータ値を指定します。

データを書き込む前に、**Set DD RAM Address** コマンドを発行し、DD RAM の 7 ビットの初期アドレスを指定します。DD RAM のロケーションについては、[図 5-3](#) を参照してください。

データの書き込みには、**Write Data to CG RAM or DD RAM** コマンドを使用します。8 ビットのデータ値は、[図 5-4](#) に示す CG ROM または CG RAM へのルックアップ アドレスを表しています。CG ROM または CG RAM に格納されたビットマップは、5 x 8 ドット マトリックスを駆動し、対応する文字を表します。

前述のように、アドレス カウンタが自動増分に設定されていれば、アプリケーションは複数の文字コードを続けて書き込むことができ、それぞれの文字が自動的に次の空いたロケーションに格納され、表示されます。

文字を書き込み続けると、1行目の終わりに達します。それ以降の文字は2行目に自動的に表示されません。DD RAM マップは1行目と2行目で連続していないからです。

未使用の LCD のディスエーブル

FPGA アプリケーションでキャラクタ LCD スクリーンが使用されていない場合は、LCD_E ピンを Low に駆動することでディスエーブルにできます。また、LCD_RW ピンを Low に駆動すると、LCD スクリーンにデータを表示しないようにできます。

関連情報

- Spartan-3E スタータ キットの初期デザイン (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>
- PowerTip 社製 PC1602-D キャラクタ LCD (電気的および機械的な基本データ)
<http://www.powertipusa.com/pdf/pc1602d.pdf>
- Sitronix 社製 ST7066U キャラクタ LCD コントローラ
<http://www.sitronix.com.tw/sitronix/product.nsf/Doc/ST7066U?OpenDocument>
- PowerTip 社製 キャラクタ LCD の詳細なデータ シート
<http://www.rapidonline.com/netalogue/specs/57-0910.pdf>
- Samsung 社製 S6A0069X キャラクタ LCD コントローラ
<http://www.samsung.com/Products/Semiconductor/DisplayDriverIC/MobileDDI/BWSTN/S6A0069X/S6A0069X.htm>

VGA ディスプレイ ポート

Spartan-3E スタータ キット ボードには、DB15 コネクタを介した VGA ディスプレイ ポートが含まれています。このポートは、標準のモニター ケーブルを使用してほとんどの PC モニタやフラットパネル LCD に直接接続できます。VGA コネクタは、[図 6-1](#) でボード上部の一番左にあるコネクタです。

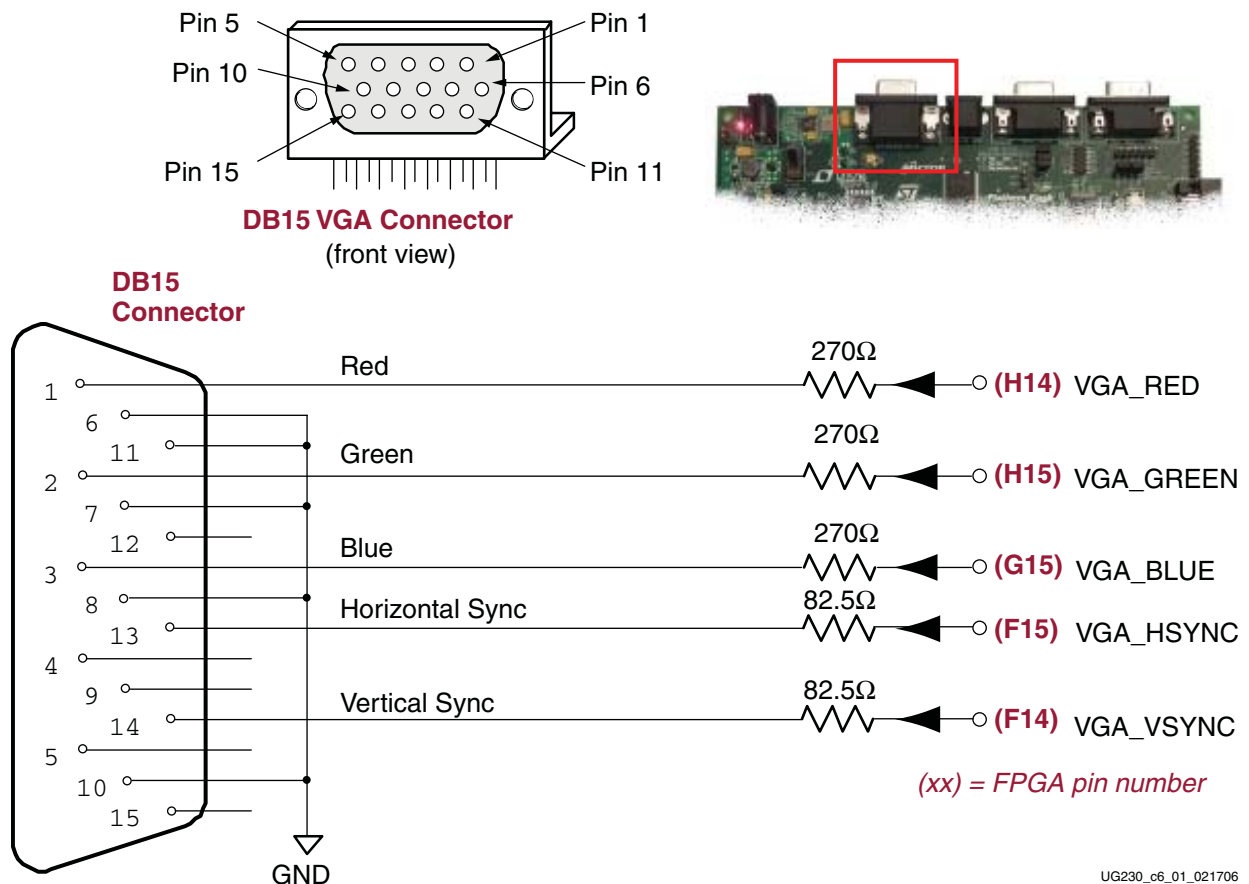


図 6-1 : Spartan-3E スタータ キット ボードからVGA への接続

Spartan-3E FPGA は、5 つの VGA 信号を抵抗を介して直接駆動します。カラーライン VGA_RED、VGA_GREEN、VGA_BLUE はそれぞれ 1 ビットで、直流抵抗が付いています。直流抵抗を VGA ケーブルに組み込まれた 75Ω の終端と組み合わせて使用すると、カラー信号は VGA 指定の 0V から 0.7V の範囲内になります。VGA_HSYNC 信号および VGA_VSYNC 信号は、LVTTTL または LVCMOS33 I/O 標準駆動レベルを使用しています。VGA_RED、VGA_GREEN および VGA_BLUE 信号を High または Low に駆動して、表 6-1 に示す 8 つの色を生成します。

表 6-1 : 3 ビット ディスプレイのカラー コード

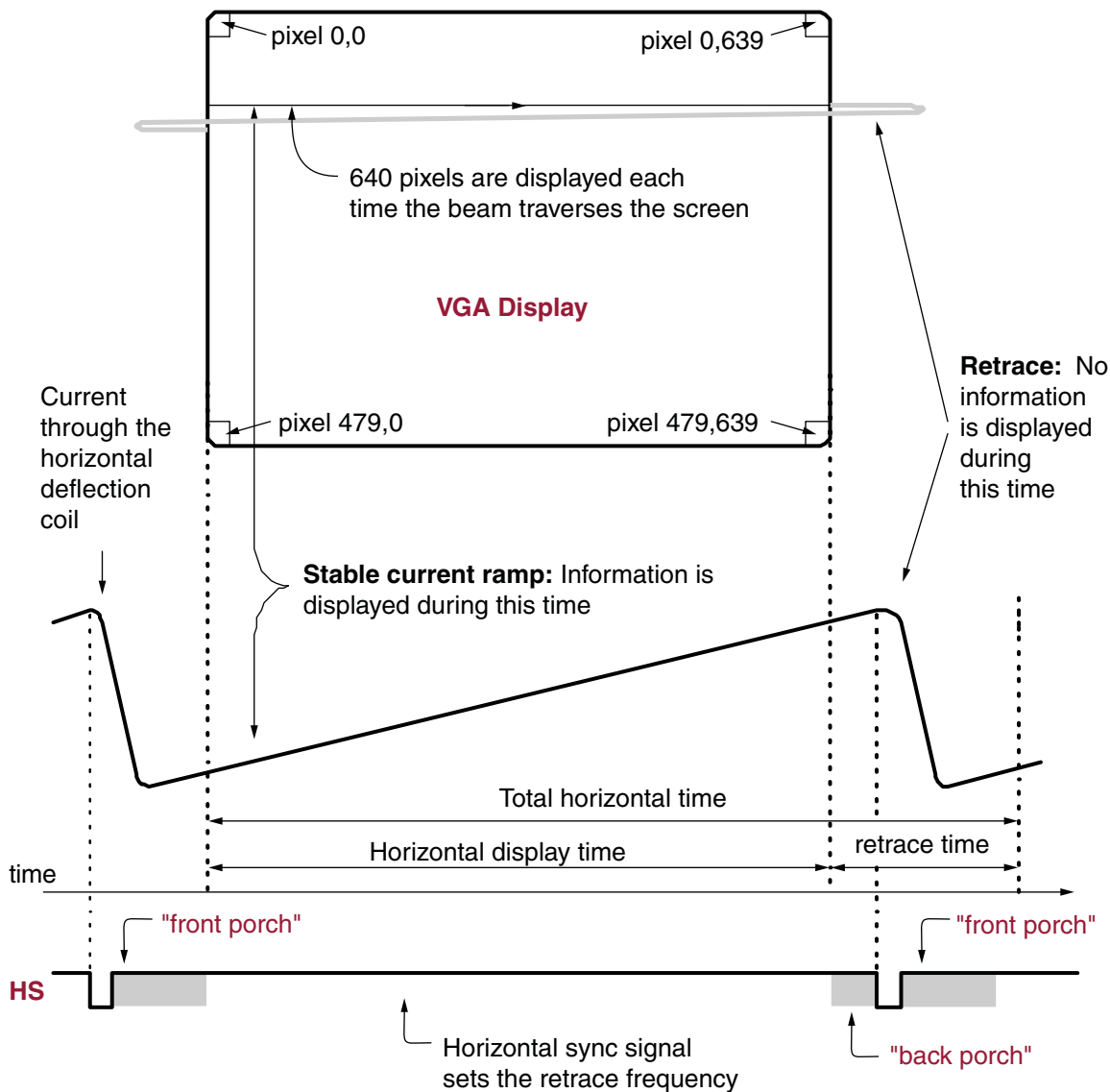
VGA_RED	VGA_GREEN	VGA_BLUE	表示色
0	0	0	黒
0	0	1	青
0	1	0	緑
0	1	1	シアン
1	0	0	赤
1	0	1	マゼンタ
1	1	0	黄色
1	1	1	白

VGA 信号タイミングは、Video Electronics Standards Association (VESA) により規定、発行、著作権保有、および販売されています。この後の VGA システムおよびタイミングの情報は、FPGA が VGA モニタを 640 X 480 モードで駆動する場合の一例です。詳細な情報および高周波数の VGA については、VESA およびその他の電子機器関連のサイトを参照してください (63 ページの「関連情報」参照)。

60Hz、640 X 480 VGA ディスプレイの信号タイミング

CRT ベースの VGA ディスプレイでは、振幅変調された移動する電子ビーム (陰極線) を使用して、蛍光スクリーン上に情報を表示します。LCD では、整列したスイッチを使用して少量の液晶に電圧を加え、ピクセルごとに液晶を通過する光の量を変化させます。次の記述は CRT ディスプレイに関するものですが、LCD の信号タイミングは CRT と同じになってきています。次の情報は、CRT と LCD の両方に適用されます。

CRT ディスプレイでは、コイルを通過する電流により磁場を発生させて電子ビームを偏向し、ディスプレイの表面を左から右、上から下へラスタ走査します。図 6-2 に示すように、情報が表示されるのは、ビームが順方向に移動しているときのみです (左から右および上から下)。ディスプレイの左または上に戻るときには表示されません。このため、ディスプレイ時間の多くは、水平または垂直の新規ディスプレイ パスを開始するためにビームをリセットおよび安定させるブランキング期間として費やされます。



UG230_c6_02_021706

図 6-2 : CRT ディスプレイタイミングの例

ディスプレイの解像度により、ビームのサイズ、走査周波数、および電子ビームが変調される周波数が決定します。

現在の VGA ディスプレイは、マルチディスプレイ解像度をサポートしており、VGA コントローラでタイミング信号を生成してラスタパターンを制御することにより解像度を指定します。コントローラで TTL レベルの同期パルスを生成することにより、偏向コイルを流れる電流の周波数を設定し、ピクセルデータまたはビデオデータが正しい時間に電子銃に適用されるようにします。

ビデオデータは通常、少なくとも 1 バイトが各ピクセル位置に割り当てられたビデオリフレッシュメモリから得られます。Spartan-3E スタータキットボードでは、1 ピクセルあたり 3 ビットを使用して、表 6-1 中の 1 色を作り出します。コントローラは、ビームがディスプレイ上を移動する際にビデオデータバッファにインデックスを付け、電子ビームが特定のピクセルを移動する正確なタイミングでビデオデータを取得してディスプレイに適用します。

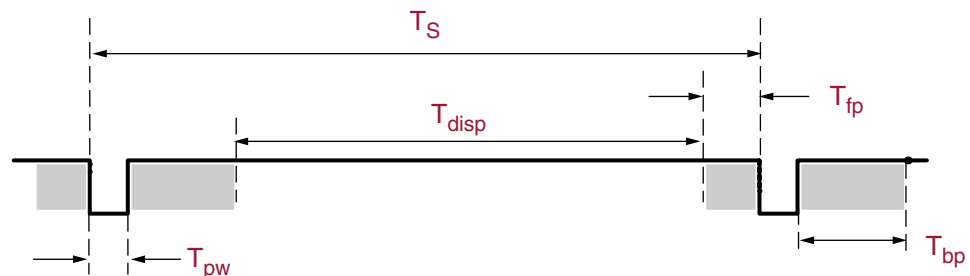
図 6-2 に示すように、VGA コントローラは、水平同期 (HS) タイミング信号と垂直同期 (VS) タイミング信号を生成し、ピクセル クロックごとにビデオ データを送信します。ピクセル クロックは、1 ピクセルの情報を表示するのに使用される時間を定義します。VS 信号は、ディスプレイのリフレッシュ レート、つまり 1 秒間に画面が再描画される回数を定義します。最小のリフレッシュ レートは、ディスプレイの蛍光および電子ビームの強度の関数です。実用的な値は 60Hz ~ 120Hz の範囲です。水平帰線周波数は、特定のリフレッシュ レートで表示される水平線の数で定義されます。

VGA 信号タイミング

表 6-2 は、25MHz ピクセル クロックおよび 60Hz ± 1 リフレッシュの 640 ピクセル X 480 行 ディスプレイの信号タイミングを示しています。図 6-3 に、タイミング記号間の関係を示します。同期パルス幅 (T_{PW}) およびフロント/バック ポーチ間隔 (T_{FP} および T_{BP}) のタイミングは、さまざまな VGA ディスプレイより得られた値に基づいています。フロント ポーチ間隔は同期パルス前の時間、バック ポーチ間隔は同期パルス後の時間です。この間は、情報は表示されません。

表 6-2 : 640 X 480 モード VGA タイミング

記号	パラメータ	垂直同期			水平同期	
		時間	クロック	線	時間	クロック
T_S	同期パルス時間	16.7 ms	416,800	521	32 μ s	800
T_{DISP}	表示時間	15.36 ms	384,000	480	25.6 μ s	640
T_{PW}	パルス幅	64 μ s	1,600	2	3.84 μ s	96
T_{FP}	フロント ポーチ	320 μ s	8,000	10	640 ns	16
T_{BP}	バック ポーチ	928 μ s	23,200	29	1.92 μ s	48



UG230_c6_03_021706

図 6-3 : VGA 制御タイミング

通常、ピクセル クロックが供給されるカウンタが、水平タイミングを制御します。デコードされたカウンタ値により、HS 信号が生成されます。このカウンタは、ある行の現在のピクセル ディスプレイ位置を示します。

垂直タイミングは、別のカウンタで制御されます。垂直同期カウンタは HS パルスごとに増分し、デコードされた値により VS 信号が生成されます。このカウンタは、現在のディスプレイ行を示します。これらのカウンタは常に動作しており、ビデオ ディスプレイ バッファのアドレスを構成します。たとえば、ボード上の DDR SDRAM は、理想的なディスプレイ バッファとなります。

HS パルスの開始時間と VS パルスの開始時間のタイミング関係は指定されていないので、カウンタを調整することにより、ビデオ RAM アドレスの形成または同期パルス生成用のデコード ロジックの最小化を容易に実現できます。

UCF ロケーション制約

図 6-4 に、VGA ディスプレイ ポートの I/O ピン割り当て、I/O 規格、出力スlew レート、および出力駆動電流を指定する UCF 制約を示します。

```
NET "VGA_RED" LOC = "H14" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_GREEN" LOC = "H15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_BLUE" LOC = "G15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_HSYNC" LOC = "F15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;  
NET "VGA_VSYNC" LOC = "F14" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
```

図 6-4 : VGA ディスプレイ ポートの UCF 制約

関連情報

- VESA
<http://www.vesa.org>
- VGA タイミング情報
http://www.epanorama.net/documents/pc/vga_timing.html

RS-232 シリアル ポート

概要

図 7-1 に示すように、Spartan-3E スタータ キット ボードには、RS-232 シリアル ポートが 2 つあります。メス型の DB9 DCE コネクタと、オス型の DTE コネクタです。DCE スタイルのポートには、シリアル ポート コネクタを直接接続します。シリアル ポート コネクタは、ほとんどの PC やワークステーションに付いており、標準のシリアル ケーブルを使用して接続できます。ヌル モデム、オス/メス変換、クロスオーバー ケーブルは必要ありません。

DTE スタイル コネクタは、モデムやプリンタなどの、ほかの RS-232 ペリフェラルの制御に使用できます。また、DCE コネクタと共に簡単なループバック テストにも使用できます。

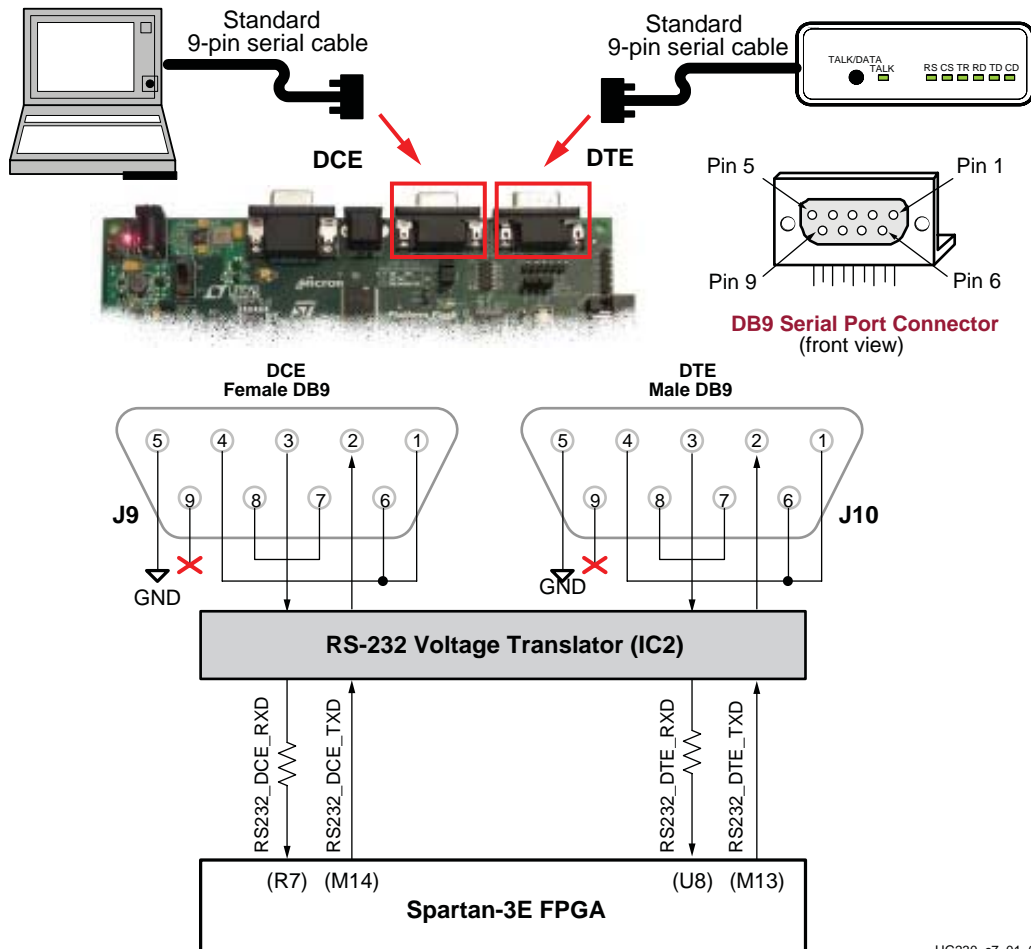


図 7-1 : RS-232 シリアル ポート

UG230_g7_01_022006

図 7-1 に、FPGA と 2 つの DB9 との接続を示します。FPGA では、LVTTTL または LVCMOS レベルを使用してシリアル出力データを Maxim 社製デバイスに供給します。Maxim 社製デバイスでは、このロジック値を RS-232 に適切な電圧レベルに変換します。同様に、Maxim 社製デバイスは RS-232 シリアル入力データを LVTTTL レベルに変換して FPGA に供給します。Maxim 社製デバイスの出力ピンと FPGA の RXD ピンの間の直流抵抗により、ロジックの競合は回避されます。

コネクタでは、ハードウェア フロー制御はサポートされません。ポートの DCD、DTR、および DSR 信号は、図 7-1 に示すように、一緒に接続されます。同様に、ポートの RTS および CTS 信号も一緒に接続されます。

UCF ロケーション制約

図 7-2 および 図 7-3 に、DTE および DCE RS-232 ポートの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "RS232_DTE_RXD" LOC = "U8" | IOSTANDARD = LVTTTL ;  
NET "RS232_DTE_TXD" LOC = "M13" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = SLOW ;
```

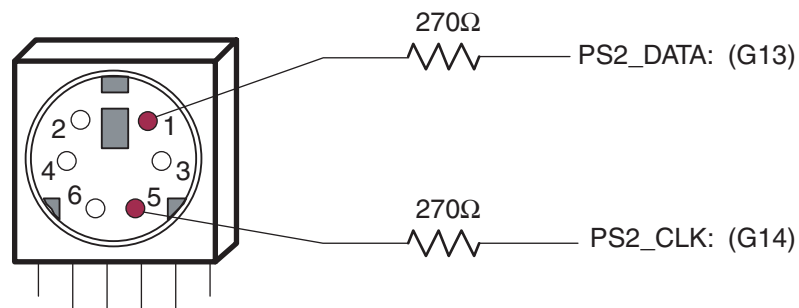
図 7-2 : DTE RS-232 シリアル ポートの UCF ロケーション制約

```
NET "RS232_DCE_RXD" LOC = "R7" | IOSTANDARD = LVTTTL ;  
NET "RS232_DCE_TXD" LOC = "M14" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = SLOW ;
```

図 7-3 : DCE RS-232 シリアル ポートの UCF ロケーション制約

PS/2 マウス/キーボード ポート

Spartan-3E スタータ キット ボードには、PS/2 マウス/キーボード ポートおよび標準 6 ピン ミニ DIN コネクタが含まれます。これは、ボード上にある J14 のラベルが付いたコネクタです。図 8-1 に PS/2 コネクタ、表 8-1 にコネクタの信号を示します。コネクタのピン 1 および 5 のみが FPGA に接続されます。



UG230_c8_01_021806

図 8-1 : PS/2 コネクタの位置と信号

表 8-1 : PS/2 コネクタのピン配置

PS/2 DIN ピン	信号	FPGA ピン
1	データ (PS2_DATA)	G13
2	予約済み	G13
3	GND	GND
4	+5V	-
5	CLK (PS2_CLK)	G14
6	予約済み	G14

PC マウスおよびキーボードは、どちらも 2 線式 PS/2 シリアル バスを使用してホスト デバイスと通信します。この場合のホスト デバイスは、Spartan-3E FPGA です。PS/2 バスには、クロックとデータの両方が含まれます。マウスとキーボードはどちらも、バスを同じ信号タイミングで駆動し、開始ビット、終了ビット、奇数パリティ ビットを含む 11 ビット ワードを使用します。ただし、マウスとキーボードのデータ パケットの構成方法は異なります。また、キーボードのインターフェイスでは双方向データ転送が許可されており、ホスト デバイスでキーボード上のステート LED を点灯できます。

PS/2 バス タイミングを表 8-2 および図 8-2 に示します。クロックおよびデータ信号はデータ転送中のみ駆動され、それ以外の場合は、アイドル ステート (ロジック High) に保持されます。モジュールからホストへの通信および双方向キーボード通信の信号要件は、このタイミングによって定義されます。図 8-2 に示すとおり、クロック信号が High のときに接続されたキーボードまたはマウスがデータラインに 1 ビット書き込み、クロック信号が Low のときにホストがデータラインを読み出します。

表 8-2 : PS/2 バス タイミング

シンボル	パラメータ	最小	最大
T_{CK}	クロックが High または Low の時間	30 μ s	50 μ s
T_{SU}	Data-to-clock セットアップ タイム	5 μ s	25 μ s
T_{HLD}	Clock-to-data ホールド タイム	5 μ s	25 μ s

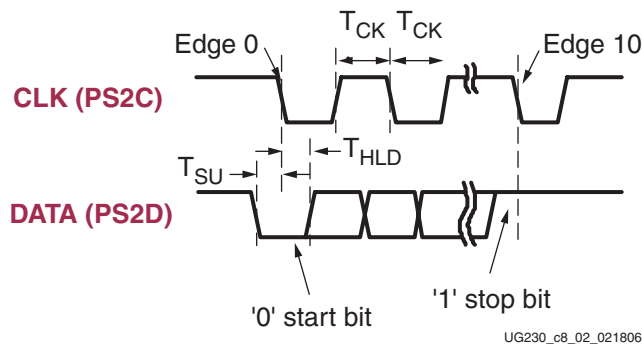


図 8-2 : PS/2 バス タイミング 波形

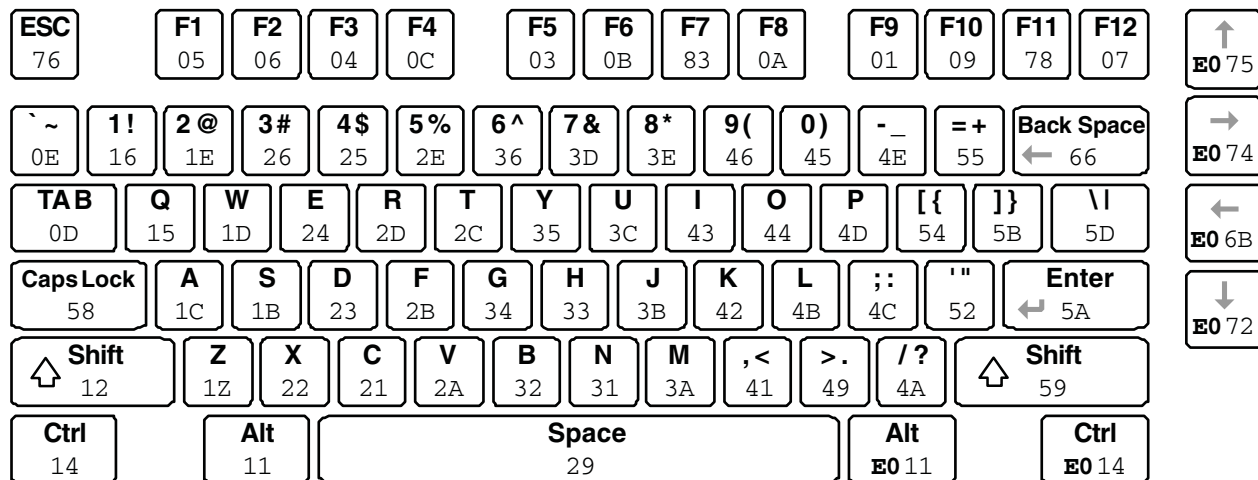
キーボード

キーボードではオープン コレクタ ドライバが使用されるので、キーボードまたはホストのどちらかから 2 線式バスを駆動できます。ホストからキーボードにデータを送信しない場合は、ホストで単純な入力ピンを使用してもかまいません。

PS/2 スタイルのキーボードは、スキャン コードを使用してキーからのデータを通信します。現在使用されているほとんどすべてのキーボードは PS/2 スタイルです。キーの 1 つ 1 つに固有のスキャン コードが割り当てられており、キーが押されるとコードが送信されます。図 8-3 に、ほとんどのキーのスキャン コードを示します。

キーを押したままにすると、コードが約 100ms ごとに繰り返し送信されます。キーを放すと、F0 の Break コードが送信され、続けてそのキーのスキャン コードが送信されます。シフトによって文字が異なっても、シフト キーが押されたかどうかに関わらず、キーが同じであれば、同じコードが送信されます。どの文字が入力されたかは、ホストで判断されます。

拡張キーが押されると、スキャンコードの前に E0 が送信されます。複数のスキャンコードが送信されることもあります。拡張キーが放されると、E0 F0 の Break コードが送信され、続けてスキャンコードが送信されます。



UG230_c8_03_021806

図 8-3 : PS/2 キーボード スキャン コード

ホストからは、コマンドおよびデータをキーボードに送信することもできます。表 8-3 に、よく使用されるコマンドの一覧を示します。

表 8-3 : よく使用される PS/2 キーボード コマンド

コマンド	説明																
ED	Num Lock、Caps Lock、Scroll Lock LED のオン/オフ : キーボードで ED コマンドが受信されると、FA が返されます。その後、ホストより次のバイトが送信され、LED ステータスが設定されます。キーボード LED のビット位置を次に示します。特定のビットに 1 が書き込まれると、対応するキーボード LED が点灯します。 <table border="1" style="margin-left: 40px;"> <tr> <td>7</td> <td>6</td> <td>5</td> <td>4</td> <td>3</td> <td>2</td> <td>1</td> <td>0</td> </tr> <tr> <td colspan="5">無視</td> <td>Caps Lock</td> <td>Num Lock</td> <td>Scroll Lock</td> </tr> </table>	7	6	5	4	3	2	1	0	無視					Caps Lock	Num Lock	Scroll Lock
7	6	5	4	3	2	1	0										
無視					Caps Lock	Num Lock	Scroll Lock										
EE	エコー : echo コマンドが受信され、キーボードから同じスキャンコード EE が返されます。																
F3	スキャンコードのリピート レート設定 : キーボードで F3 が受信されると、FA が返されます。その後、ホストから次のバイトが送信され、リピート レートが設定されます。																
FE	再送信 : resend コマンドが受信されると、最後に送信されたスキャンコードがキーボードから再送されます。																
FF	リセット : キーボードをリセットします。																

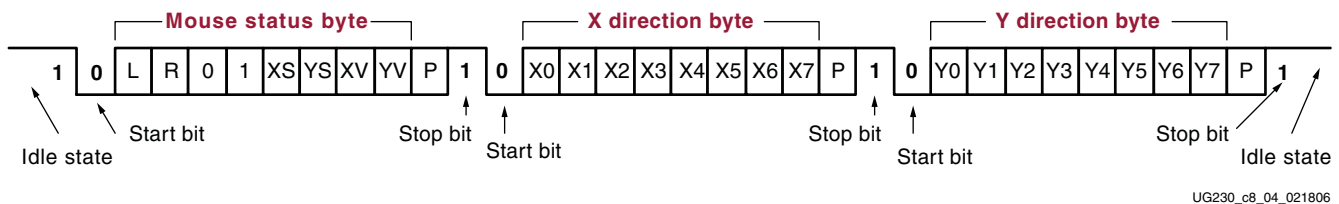
キーボードがコマンドまたはデータをホストに送信するのは、データラインおよびクロックラインが共に High、つまりアイドルステートのときのみです。

ホストがバス マスタであるため、バスが駆動される前にホストがデータを送信しているかどうかをキーボードでチェックされます。クロックラインは、Clear to Send 信号としても使用できます。ホストがクロックラインを Low にしている場合は、クロックが解放されるまでキーボードからデータを送信できません。

キーボードからホストへのデータは、11 ビットワードです。このデータの内容は、開始ビット 0、8 ビットのスキャンコード (LSB が先)、奇数パリティビット、終了ビット 1 となっています。キーボードよりデータが送信される場合、20 ~ 30kHz 程度で 11 クロック遷移が生成され、図 8-2 に示すように、データはクロックの立下りエッジで有効になります。

マウス

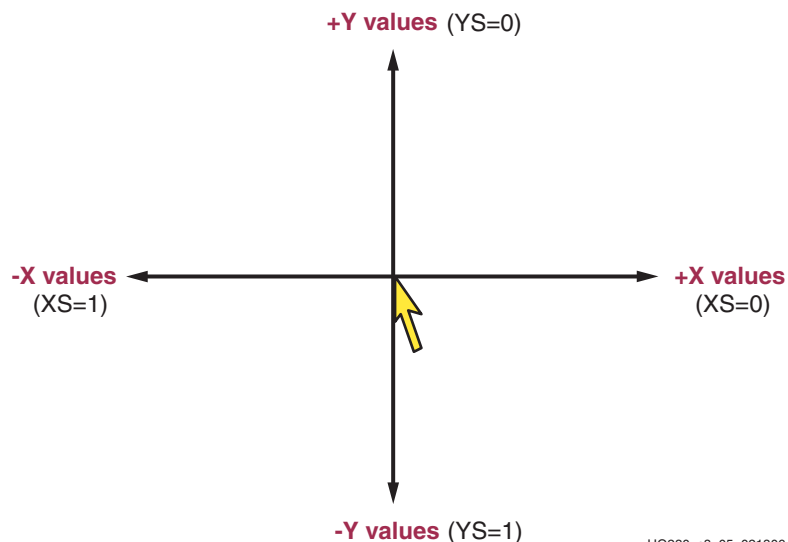
マウスを移動すると、クロック信号とデータ信号が生成されます。移動していないときは、信号は High に保持され、アイドル状態になります。マウスを移動するたびに、ホストに 11 ビットワードが 3 つ送信されます。11 ビットワードのそれぞれが、開始ビット 0、8 データビット (LSB が先)、奇数パリティビット、終了ビット 1 を含んでいます。転送されるデータは合計 33 ビットで、ビット 0、ビット 11、およびビット 22 は開始ビット 0 で、ビット 10、ビット 21、およびビット 32 は 1 (終了ビット) です。この 3 つの 8 ビットデータフィールドには、図 8-4 に示すように、移動データが含まれます。データはクロックの立下りエッジで有効になります。クロック周期は 20 ~ 30kHz です。



UG230_c8_04_021806

図 8-4 : PS/2 マウス トランザクション

PS/2 スタイルのマウスでは、相対座標システムが採用されており (図 8-5 参照)、マウス ポインタを画面の右に動かすと X の値が正になり、左に動かすと負になります。同様に、マウス ポインタを画面の上に動かすと Y の値が正になり、下に動かすと負になります。X と Y の符号は、それぞれステータスバイトの XS ビットと YS ビットに表されます。1 は値が負であることを示します。



UG230_c8_05_021806

図 8-5 : 相対座標システムでマウスの動きを表す

X および Y の値で、マウスの動きの速さがわかります。動きが速いほど値も大きくなります。ステータス バイトの XV および YV ビットでは、X または Y の値が最大値を超え、オーバーフローが発生しているかが示されます。1 はオーバーフローが発生したことを表します。マウスを動かしながら続けていると、33 ビットの伝送が約 50ms ごとに発生します。

ステータス バイトの L および R フィールドは、右クリックおよび左クリックを意味します。1 はマウス ボタンが押されたことを示します。

電源

Spartan-3E スタータ キット ボードの PS/2 ポートの電源は 5V です。Spartan-3E FPGA は 5V 対応のデバイスではありませんが、直列電流制限抵抗を使用すれば 5V デバイスと通信できます。図 8-1 を参照してください。

UCF ロケーション制約

図 8-6 に、PS/2 ポート接続の I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "PS2_CLK" LOC = "G14" | IOSTANDARD = LVCMOS33 | DRIVE = 8 | SLEW = SLOW ;
NET "PS2_DATA" LOC = "G13" | IOSTANDARD = LVCMOS33 | DRIVE = 8 | SLEW = SLOW ;
```

図 8-6 : PS/2 ポート の UCF ロケーション制約

関連情報

- PS/2 マウス/キーボード プロトコル
<http://www.computer-engineering.org/ps2protocol/>
- PS/2 キーボード インターフェイス
<http://www.computer-engineering.org/ps2keyboard/>
- PS/2 マウス インターフェイス
<http://www.computer-engineering.org/ps2mouse/>

DA コンバータ (DAC)

Spartan-3E スタータ キット ボードには、SPI に準拠した 4 チャンネルのシリアル DA コンバータ (DAC) が搭載されています。搭載されている DAC は、Linear Technology 社製 LTC2624 12 ビットの符号なしレゾリューション付きのクワッド DAC です。DAC からの 4 つの出力は、Digilent 社製 6 ピン [パリアフェラル モジュール](#) フォーマットを使用するヘッダ J5 にあります。DAC およびヘッダは、[図 9-1](#) に示すように、イーサネット RJ-45 コネクタのすぐ上に配置されています。

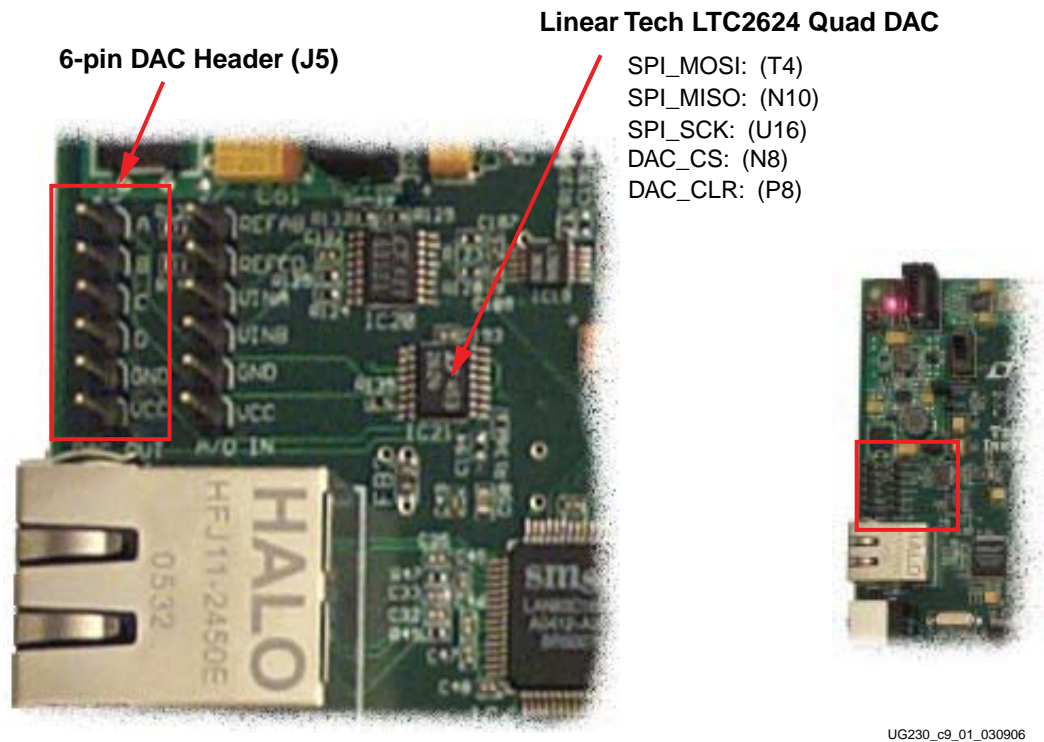


図 9-1 : DA コンバータと接続されているヘッダ

SPI 通信

[図 9-2](#) に示すように、FPGA と DAC の 4 つのチャンネルの間でデジタル値を通信する際には、SPI (シリアルパリアフェラルインターフェイス) が使用されます。SPI バスは、単純な 4 ワイヤ インターフェイスを採用した、全二重の同期キャラクタ志向チャンネルです。バス マスタ (この例の場合は FPGA) がクロック信号 (SPI_SCK) を駆動し、シリアル データ (SPI_MOSI) を選択されたバス スレーブ (この例の場合は DAC) に送信します。同時に、バス スレーブからシリアル データ (SPI_MISO) がバス マスタに戻されます。

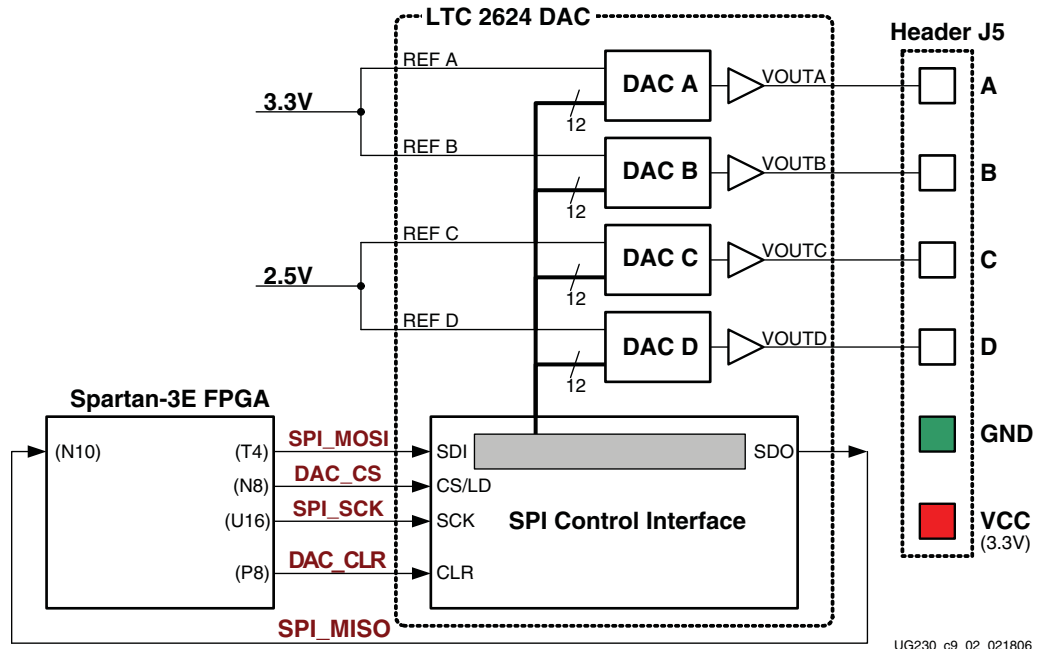


図 9-2 : DAC の接続

インターフェイス信号

表 9-1 に、FPGA と DAC の間のインターフェイス信号を示します。SPI_MOSI、SPI_MISO、および SPI_SCK 信号は、SPI バス上のほかのデバイスと共有されます。DAC_CS 信号は、アクティブ Low のスレーブ セレクト 信号です。DAC_CLR 信号は、アクティブ High の非同期リセットです。

表 9-1 : DAC のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MOSI	T4	FPGA → DAC	シリアル データ : マスタ出力、スレーブ入力。
DAC_CS	N8	FPGA → DAC	アクティブ Low のチップ セレクト。デジタル からアナログへの変換は、この信号が High になると開始します。
SPI_SCK	U16	FPGA → DAC	クロック。
DAC_CLR	P8	FPGA → DAC	アクティブ Low の非同期リセット入力。
SPI_MISO	N10	FPGA ← DAC	シリアル データ : マスタ入力、スレーブ出力。

DAC からのシリアル データ出力は、主に複数の DAC をカスケード接続するために使用します。この信号は SPI バスを使用した全二重通信で転送されていますが、ほとんどのアプリケーションでは無視しても問題ありません。

SPI バス上のデバイスのディスエーブル

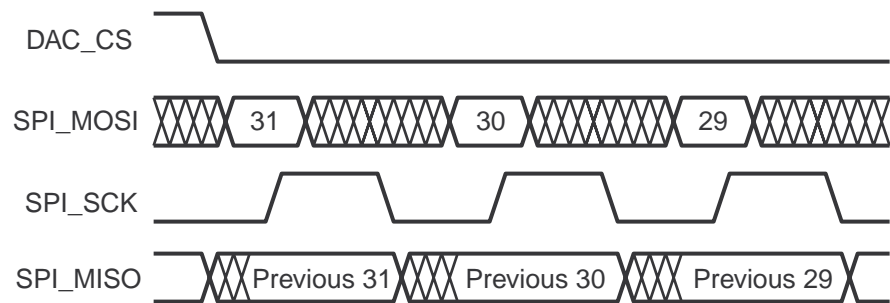
SPI バス信号は、ボード上のほかのデバイスと共有されます。FPGA と DAC が通信する際は、競合を回避するためほかのデバイスをディスエーブルにする必要があります。表 9-2 に、ほかのデバイスをディスエーブルにするのに必要な信号とその値を示します。StrataFlash PROM はパラレルデバイスですが、最下位ビットは SPI_MISO 信号と共有されます。

表 9-2 : SPI バス上のデバイスのディスエーブル

信号	ディスエーブルにするデバイス	ディスエーブル値
SPI_SS_B	SPI シリアル Flash	1
AMP_CS	プログラマブルプリアンプ	1
AD_CONV	AD コンバータ (ADC)	0
SF_CEO	StrataFlash パラレル Flash PROM	1
FPGA_INIT_B	Platform Flash PROM	1

SPI 通信の詳細

図 9-3 に、SPI バス タイミングの例を示します。各ビットは、SPI_SCK クロック信号に同期して送受信されます。バスは完全にスタティックで、クロック レートは最大 50MHz です。最大スピード付近で動作させる場合は、LTC2624 のデータシートですべてのタイミング パラメータを確認してください。



UG230_c9_03_021806

図 9-3 : SPI 通信のタイミング

DAC_CS スレーブ セレクト信号が Low にアサートされた後、SPI_MOSI 信号上のデータが MSB から送信されます。LTC2624 は、SPI_SCK の立ち上がりエッジで入力データ (SPI_MOSI) を取り込みます。データは、立ち上がりエッジの 4ns 前までに有効になっている必要があります。

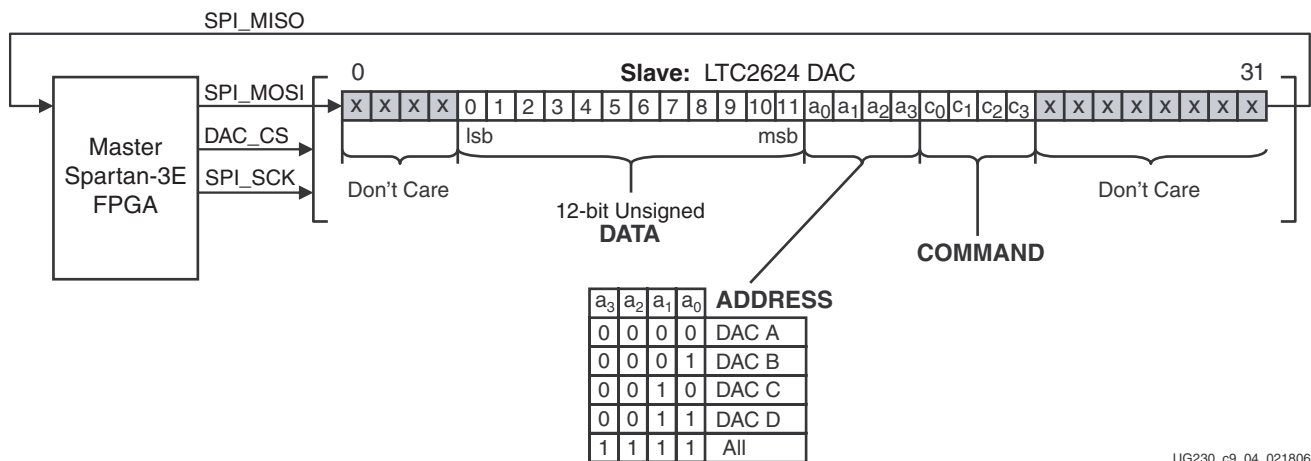
SPI_SCK の立ち下がりエッジで DAC のデータが SPI_MISO に出力されます。このデータは、FPGA により SPI_SCK の次の立ち上がりエッジで取り込まれます。SPI_MISO の最初の値は、DAC_CS が Low になってから最初の SPI_SCK の立ち上がりエッジで取り込まれる必要があります。そうでないと、ビット 31 が欠落します。

32 個のデータ ビットがすべて転送されると、DAC_CS スレーブ セレクト信号が再び High になり、SPI バス トランザクションが完了します。この High になるエッジで、DAC 内でデジタルからアナログへの変換が開始します。

通信プロトコル

図 9-4 に、LTC2624 DAC とのインターフェイスに必要な通信プロトコルを示します。DAC では、24 ビットおよび 32 ビットのプロトコルがサポートされています。ここでは、32 ビットのプロトコルを示します。

DA コンバータの内部では、SPI インターフェイスは 32 ビットのシフトレジスタで形成されています。各 32 ビット コマンド ワードは、コマンド、アドレス、データ値で構成されています。新しいコマンドが DAC に入力されると、その前の 32 ビット コマンド ワードがマスタにエコーバックされます。DAC からの応答は無視しても問題ありませんが、通信が正しく行われているかを確認するのは有益です。



UG230_c9_04_021806

図 9-4 : LTC2624 DAC への SPI 通信プロトコル

FPGA は、まず 8 ビットのダミー (ドントケア) ビットを送信してから、4 ビット コマンドを送信します。一般的にボードでよく使用されるコマンドは **COMMAND[3:0] = "0011"** で、選択した DAC 出力が指定のデータ値に即アップデートされます。このコマンドの後、4 ビットのアドレスフィールドにより 1 つまたはすべての DAC 出力チャネルが選択されます。次に、12 ビットの符号なしデータ値が送信され、DAC によりアナログ値に変換され、選択された出力に送信されます。最後に、32 ビット コマンド ワードを形成するよう 4 ビットのダミー (ドントケア) ビットが追加されます。

DAC 出力電圧の指定

図 9-2 に示すように、各 DAC 出力のレベルは、SPI インターフェイスを介して FPGA から DAC に書き込まれた 12 ビットの符号なしデジタル値 $D[11:0]$ に対応するアナログ値です。

出力の電圧は、通常式 9-1 により表されます。参照電圧 $V_{REFERENCE}$ は、チャンネル A および B では 3.3V、チャンネル C および D では 2.5V です。参照電圧自体には ±5% の誤差があるので、出力電圧にもそれに応じた多少の変動があります。

$$V_{OUT} = \frac{D[11:0]}{4096} \times V_{REFERENCE} \quad \text{式 9-1}$$

DAC 出力 A および B

式 9-2 に、DAC 出力 A および B の出力電圧を求める式を示します。DAC 出力 A および B の参照電圧は $3.3V \pm 5\%$ です。

$$V_{OUTA} = \frac{D[11:0]}{4096} \times (3.3V \pm 5\%) \quad \text{式 9-2}$$

DAC 出力 C および D

式 9-3 に、DAC 出力 A および B の出力電圧を求める式を示します。DAC 出力 A および B の参照電圧は $2.5V \pm 5\%$ です。

$$V_{OUTC} = \frac{D[11:0]}{4096} \times (2.5V \pm 5\%) \quad \text{式 9-3}$$

UCF ロケーション制約

図 9-5 に、DAC インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 ;
NET "SPI_MOSI" LOC = "T4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "DAC_CS" LOC = "N8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "DAC_CLR" LOC = "P8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
```

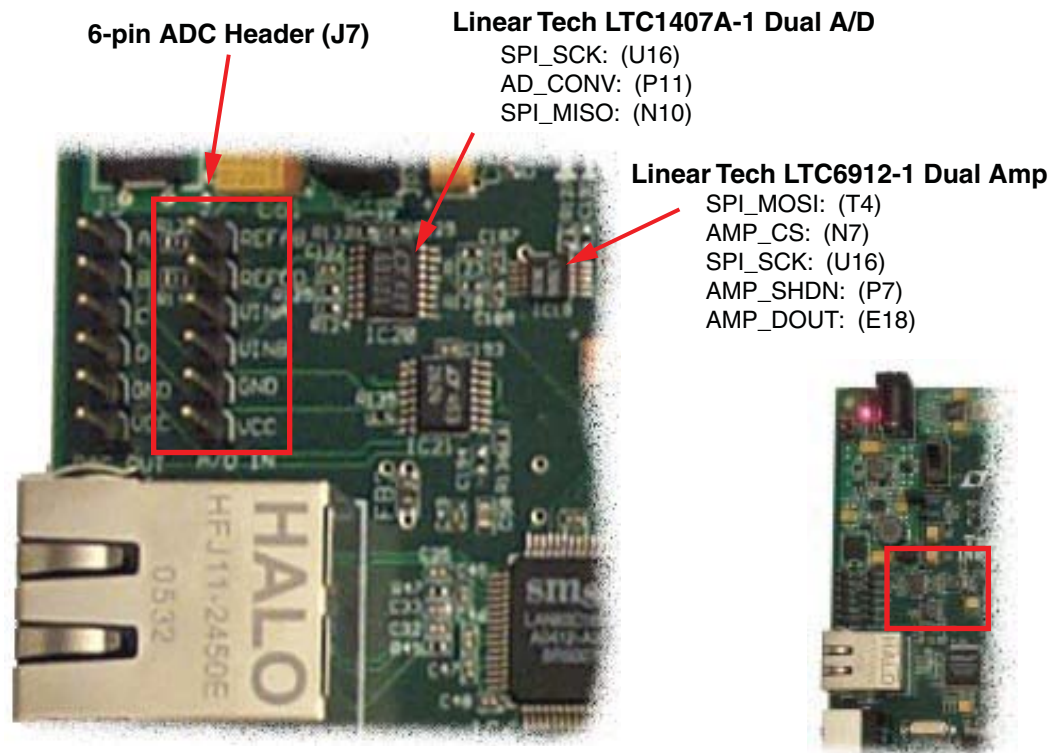
図 9-5 : DAC インターフェイスのロケーション制約の例

関連情報

- LTC2624 クワッド DAC のデータシート
<http://www.linear.com/pc/downloadDocument.do?navId=H0,C1,C1155,C1005,C1156,P2048,D2170>
- Spartan-3E スタータ キットの PicoBlaze ベースの DA コンバータ 制御 (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>
- ザイリンクス PicoBlaze ソフトプロセッサ
<http://www.xilinx.co.jp/picoblaze>
- Digilent 社製ペリフェラル モジュール
<http://www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Peripheral&Cat=Peripheral>

アナログ キャプチャ回路

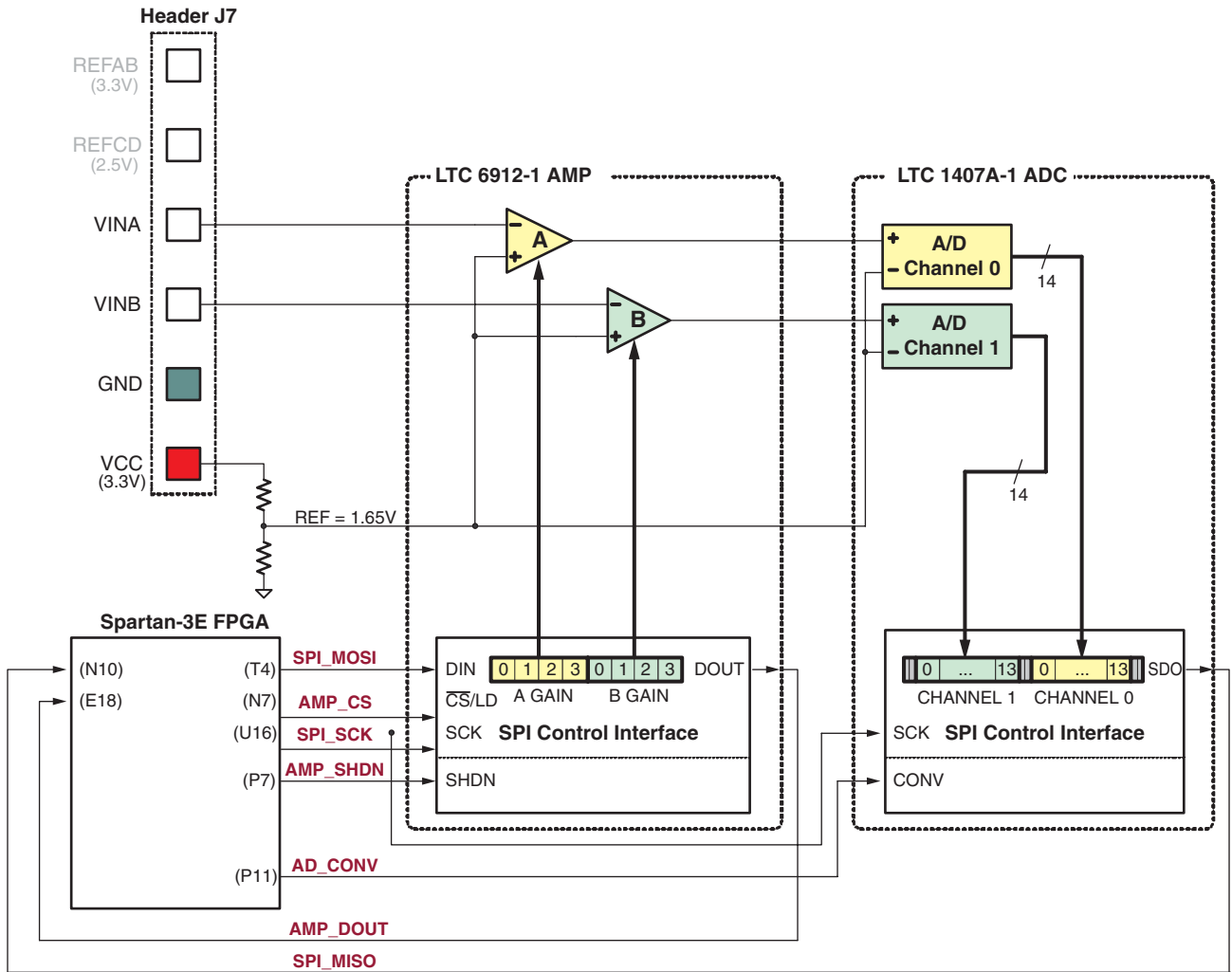
Spartan-3E スタータ キット ボードには、[図 10-1](#) に示すように、プログラマブルな増幅プリアンプと AD コンバータ (ADC) から構成される 2 チャンネルのアナログ キャプチャ回路が搭載されています。アナログ入力は、ヘッダ J7 から供給されます。



UG230_c10_01_030306

図 10-1 : 2 チャンネル アナログ キャプチャ回路

アナログ キャプチャ回路に含まれる Linear Technology 社製 LTC6912-1 プログラマブルプリアンプは、ヘッダ J7 に入力されるアナログ信号を増幅します ([図 10-2](#) を参照)。プリアンプの出力は、Linear Technology 社製 LTC1407A-1 ADC に接続されています。プリアンプと ADC は、両方とも FPGA でシリアルにプログラムまたは制御します。



UG230_c10_02_022306

図 10-2 : アナログ キャプチャ回路の詳細図

アナログ入力からデジタル出力への変換

アナログ キャプチャ回路は、VINA または VINB 上のアナログ電圧を、式 10-1 の式を使用して 14 ビットのデジタル表現 (D[13:0]) に変換します。

$$D[13:0] = GAIN \times \frac{(V_{IN} - 1.65V)}{1.25V} \times 8192 \quad \text{式 10-1}$$

GAIN (増幅率) は、プログラマブルプリアンプに読み込まれる設定を示します。表 10-2 に、GAIN に設定可能な値と、VINA および VINB 入力に適用可能な電圧を示します。

プリアンプおよび ADC の参照電圧は 1.65V で、図 10-2 に示す分圧器により生成されます。そのため、VINA または VINB 上の入力電圧から 1.65V が差し引かれます。

ADC の最大範囲は、1.65V を中心に ±1.25V です。そのため、上記のアナログ入力を増幅する式の分母に 1.25V が使用されます。

ADC は、14 ビットの 2 の補数デジタル値を出力します。14 ビットの 2 の補数で表される値は $-2^{13} \sim 2^{13}-1$ なので、8192 (2^{13}) で増幅されます。

プログラマブル プリアンプの GAIN の設定方法は、「[プログラマブル プリアンプ](#)」を参照してください。

VINA または VINB に適用される電圧のデジタル表現への変換については、リファレンス デザイン ファイルに詳細に示されています。[86 ページの「関連情報」](#)に示されているリンク先を参照してください。

プログラマブル プリアンプ

LTC6912-1 は、増幅率を設定可能な 2 つの反転アンプで構成されています。これらのアンプは、DAC の変換範囲 (1.65 ± 1.25V) を最大限に活用できるよう、VINA または VINB に入力される電圧を増幅します。

インターフェイス

[表 10-1](#) に、FPGA とアンプの間のインターフェイス信号を示します。SPI_MOSI、SPI_MISO、および SPI_SCK 信号は、SPI バス上のほかのデバイスと共有されます。AMP_CS 信号は、アクティブ Low のスレーブ セレクト信号です。

表 10-1 : AMP のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MOSI	T4	FPGA → AD	シリアル データ：マスタ出力、スレーブ入力。 表 10-2 で定義される 8 ビットの増幅率設定を示します。
AMP_CS	N7	FPGA → AMP	アクティブ Low のチップ セレクト。アンプの増幅率は、この信号が High になると設定されます。
SPI_SCK	U16	FPGA → AMP	クロック。
AMP_SHDN	P7	FPGA → AMP	アクティブ High のシャットダウン、リセット。
AMP_DOUT	E18	FPGA ← AMP	シリアル データ。以前のアンプの増幅率設定を示します。ほとんどのアプリケーションでは無視しても問題ありません。

増幅率

各アナログ チャネルには、増幅率を設定可能なアンプが接続されています ([図 10-2](#) を参照)。ヘッダ J7 の VINA または VINB に入力されたアナログ信号は、1.65V を基準に増幅されます。この 1.65V の参照電圧は、3.3V 電源の分圧器を使用して生成されます。

各アンプの増幅率は、[表 10-2](#) に示すように、-1 ~ -100 の間で設定可能です。

表 10-2：プリアンプの増幅率設定

増幅率	A3	A2	A1	A0	入力電圧の範囲	
	B3	B2	B1	B0	最小	最大
0	0	0	0	0		
-1	0	0	0	1	0.4	2.9
-2	0	0	1	0	1.025	2.275
-5	0	0	1	1	1.4	1.9
-10	0	1	0	0	1.525	1.775
-20	0	1	0	1	1.5875	1.7125
-50	0	1	1	0	1.625	1.675
-100	0	1	1	1	1.6375	1.6625

SPI 制御インターフェイス

図 10-3 に、アンプへの SPI ベースの通信インターフェイスを示します。各アンプの増幅率は、4 ビットのフィールド 2 つで構成される 8 ビットのコマンドワードとして送信されます。最上位ビット B3 が最初に送信されます。

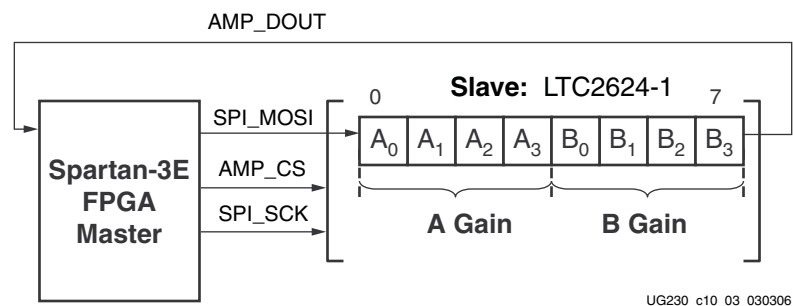


図 10-3：アンプへの SPI シリアル インターフェイス

アンプの AMP_DOUT 出力は、以前の増幅率設定を示します。ほとんどのアプリケーションでは無視しても問題ありません。

SPI バスのトランザクションは、AMP_CS が Low にアサートされると開始します (図 10-4 を参照)。SPI_MOSI 上のシリアル データは SPI_SCK クロック信号の立ち上がりエッジでアンプに取り込まれ、SPI_SCK の立ち下がりエッジで AMP_DOUT にシリアル データが出力されます。

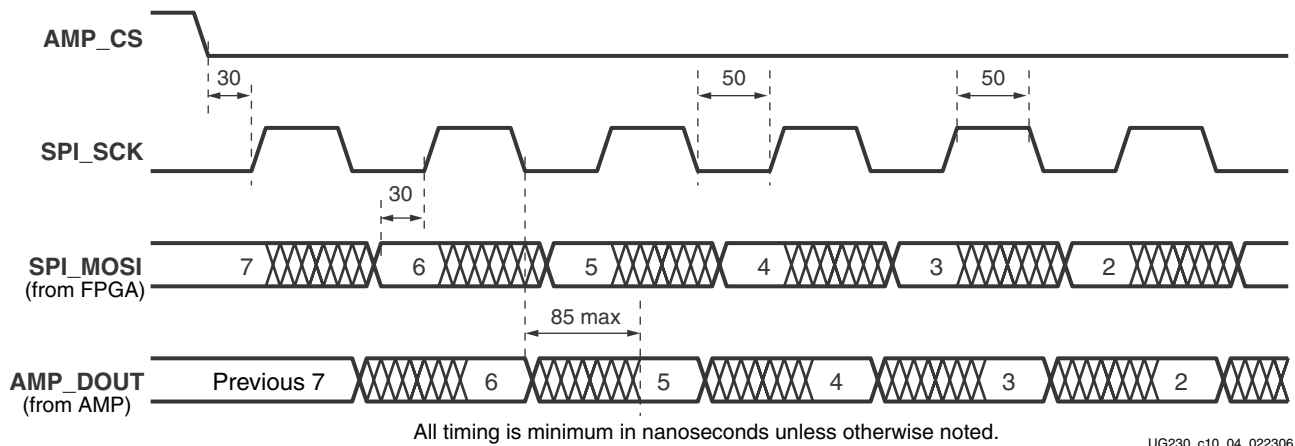


図 10-4 : アンプと通信する際の SPI のタイミング

アンプ インターフェイスは比較的低速で、サポートされるクロック周波数は約 10MHz です。

UCF ロケーション制約

図 10-5 に、アンプ インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SPI_MOSI" LOC = "T4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "AMP_CS" LOC = "N7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "AMP_SHDN" LOC = "P7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "AMP_DOUT" LOC = "E18" | IOSTANDARD = LVCMOS33 ;
```

図 10-5 : アンプ インターフェイスのロケーション制約の例

AD コンバータ (ADC)

LTC1407A-1 には、2 つの ADC が含まれます。AD_CONV 信号が適用されると、両方のアナログ入力が同時にサンプリングされます。

インターフェイス

表 10-3 に、FPGA と ADC の間のインターフェイス信号を示します。SPI_MOSI、SPI_MISO、および SPI_SCK 信号は、SPI バス上のほかのデバイスと共有されます。

表 10-3 : ADC のインターフェイス信号

信号	FPGA ピン	方向	説明
SPI_SCK	U16	FPGA → ADC	クロック。
AD_CONV	P11	FPGA → ADC	アクティブ High のシャットダウンおよびリセット。
SPI_MISO	N10	FPGA ← ADC	シリアルデータ： マスタ入力、シリアル出力。サンプリングされたアナログ値をデジタル表現した 14 ビットの 2 の補数値です。

SPI 制御インターフェイス

図 10-6 に、ADC への SPI バス トランザクションの例を示します。

AD_CONV 信号が High になると、ADC で両方のアナログ チャネルが同時にサンプリングされます。変換された値は、次に AD_CONV がアサートされたときに、1 サンプルのレイテンシで出力されます。最大サンプリング レートは、約 1.5MHz です。

ADC は、サンプリングされたアナログ値をデジタル値に変換し、14 ビットの 2 の補数値として出力します。

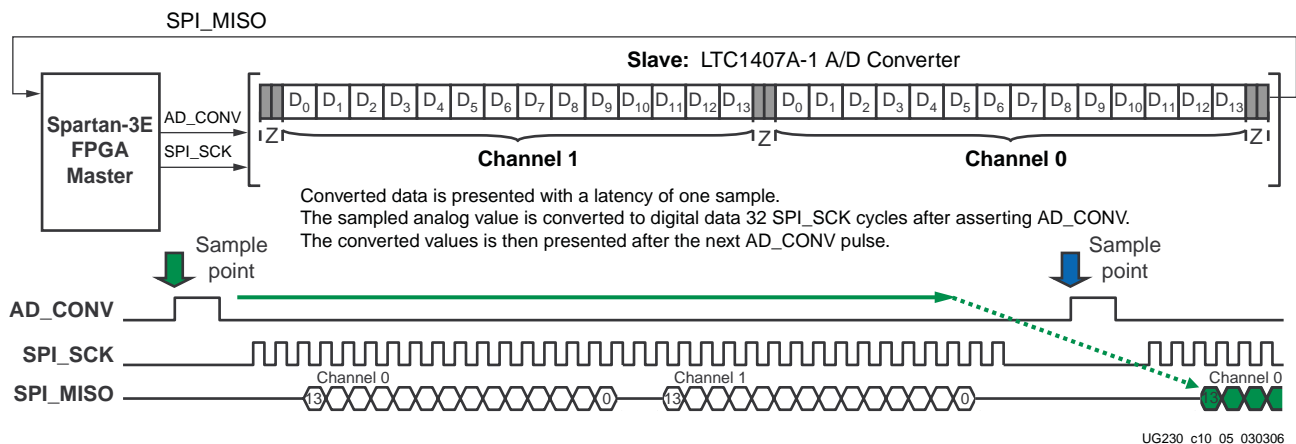


図 10-6 : AD コンバータのインターフェイス

図 10-7 に、トランザクションのタイミングを示します。AD_CONV 信号は、通常の SPI スレーブセレクト イネーブルではありません。SPI_MISO のハイ インピーダンス状態が保持されるよう、SPI_SCK を十分なクロック サイクル数供給してください。そうしなければ、ほかの SPI ペリフェラルへの通信が ADC によりブロックされます。図 10-6 に示すように、34 サイクルの通信シーケンスを使用してください。14 ビット データ転送の前後 2 クロック サイクル分、データ出力がトライステート状態になります。

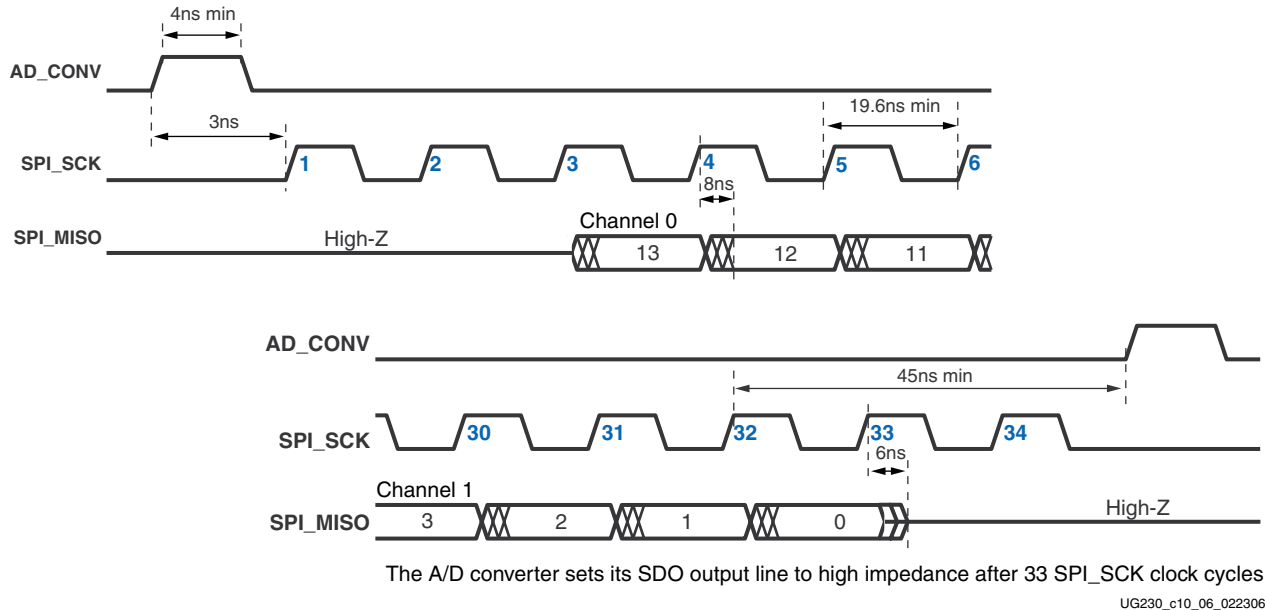


図 10-7 : ADC への SPI のタイミング

UCF ロケーション制約

図 10-8 に、アンプ インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "AD_CONV" LOC = "P11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 ;
```

図 10-8 : ADC インターフェイスのロケーション制約の例

SPI バス上のデバイスのディスエーブル

SPI バス信号は、ボード上のほかのデバイスと共有されます。FPGA と AMP または ADC が通信する際は、競合を回避するためほかのデバイスをディスエーブルにする必要があります。表 10-4 に、ほかのデバイスをディスエーブルにするのに必要な信号とその値を示します。StrataFlash PROM はパラレル デバイスですが、最下位ビットは SPI_MISO 信号と共有されます。FPGA のコンフィギュレーション モードをマスタ シリアルに設定している場合は、Platform Flash PROM のみをイネーブルにできます。

表 10-4 : SPI バス上のデバイスのディスエーブル

信号	ディスエーブルにするデバイス	ディスエーブル値
SPI_SS_B	SPI シリアル Flash	1
AMP_CS	プログラマブル プリアンプ	1
DAC_CS	DAC	1
SF_CE0	StrataFlash パラレル Flash PROM	1
FPGA_INIT_B	Platform Flash PROM	1

アナログ入力の接続

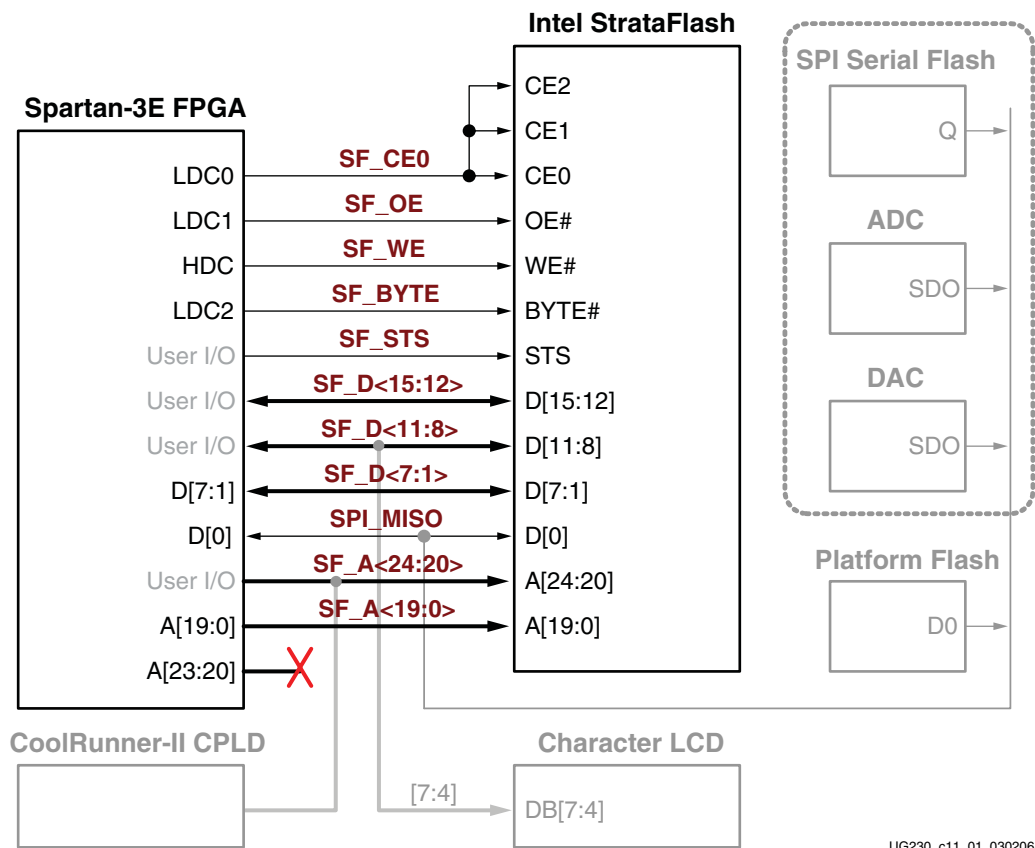
AC 信号は、DC ブロッキング キャパシタを介して VINA または VINB に接続します。

関連情報

- Spartan-3E スタータ キットのアンプおよび AD コンバータ制御 (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>
- ザイリンクス PicoBlaze ソフト プロセッサ
<http://www.xilinx.co.jp/picoblaze>
- LTC6912 シリアル デジタル インターフェイスを備えたデュアル プログラマブル増幅アンプ
<http://www.linear.com/pc/downloadDocument.do?navId=H0,C1,C1154,C1009,C1121,P7596,D5359>
- LTC1407A-1 シャットダウン付きシリアル 14ビット同時サンプリング ADC
<http://www.linear.com/pc/downloadDocument.do?navId=H0,C1,C1155,C1001,C1158,P2420,D1295>

Intel StrataFlash パラレル NOR Flash PROM

図 11-1 に示すように、Spartan-3E スタータ キット ボードには、128Mb (16MB) の Intel StrataFlash パラレル NOR Flash PROM が含まれます。図に示されているように、StrataFlash の接続は、ボードのほかのコンポーネントと共有されていることがあります。



UG230_c11_01_030206

図 11-1 : Intel StrataFlash Flash メモリへの接続

StrataFlash PROM には次のような機能があります。

- FPGA コンフィギュレーションを 1 つ格納。
- 2 つの異なる FPGA コンフィギュレーションを格納し、Spartan-3E FPGA の MultiBoot 機能を使用して動的に切り替え。
- MicroBlaze プロセッサ コードを格納し、直接実行。
- MicroBlaze プロセッサ コードを格納し、実行する前にコードを DDR メモリにシャドウする。
- FPGA の不揮発性データを格納。

StrataFlash 接続

表 11-1 に、FPGA と StrataFlash デバイスの接続を示します。

XC3S500E FPGA は、1 つのコンフィギュレーション イメージにつき 2 Mb を少し上回るメモリしか必要としませんが、ボード上の FPGA から StrataFlash へのインターフェイスは、最大 256Mb の StrataFlash をサポートします。Spartan-3E スタータ キット ボードには、128Mb デバイスが含まれています。アドレス ライン SF_A24 は使用されていません。

一般的に、StrataFlash デバイスは XC3S500E に接続し、BPI (Byte Peripheral Interface) コンフィギュレーションをサポートします。FPGA の上位 4 アドレス ビット A[23:19] は、StrataFlash デバイスには直接接続されず、コンフィギュレーション中 C2C64 CPLD により制御されます。表 11-1 および「共有される接続」に示されているように、StrataFlash の接続は、ボードのほかのコンポーネントと共有されていることがあります。

表 11-1 : FPGA から StrataFlash への接続

カテゴリ	StrataFlash 信号名	FPGA の ピン番号	機能
アドレス	SF_A24	A11	XC2C64A CPLD と共有されます。FPGA のコンフィギュレーション中、これらのピンは CPLD により制御されます (第 16 章の「XC2C64A CoolRunner-II CPLD」を参照)。また、FPGA のユーザー I/O ピンにも接続されます。SF_A24 は FX2 コネクタ信号 FX2_IO<32> と同じです。
	SF_A23	N11	
	SF_A22	V12	
	SF_A21	V13	
	SF_A20	T12	
	SF_A19	V15	FPGA ピン A[19:0] に接続し、BPI コンフィギュレーションをサポートします。
	SF_A18	U15	
	SF_A17	T16	
	SF_A16	U18	
	SF_A15	T17	
	SF_A14	R18	
	SF_A13	T18	
	SF_A12	L16	
	SF_A11	L15	
	SF_A10	K13	
	SF_A9	K12	
	SF_A8	K15	
	SF_A7	K14	
	SF_A6	J17	
	SF_A5	J16	
	SF_A4	J15	
	SF_A3	J14	
	SF_A2	J12	
	SF_A1	J13	
SF_A0	H17		

表 11-1 : FPGA から StrataFlash への接続 (続き)

カテゴリ	StrataFlash 信号名	FPGA のピン番号	機能	
データ	SF_D15	T8	StrataFlash が x16 データ用に設定されている場合 (SF_BYTE=High)、16 ビット ハーフワードの上位 8 ビットです。FPGA のユーザー I/O に接続されます。	-
	SF_D14	R8		
	SF_D13	P6		
	SF_D12	M16		
	SF_D11	M15		
	SF_D10	P17		
	SF_D9	R16		
	SF_D8	R15		
	SF_D7	N9	データ バイトの上位 7 ビット、または 16 ビット ハーフワードの低位 8 ビットです。FPGA ピン D[7:1] に接続し、BPI コンフィギュレーションをサポートします。	信号 SF_D<11:8> は、キャラクタ LCD ピン DB[7:4] に接続されます。
	SF_D6	M9		
	SF_D5	R9		
	SF_D4	U9		
	SF_D3	V9		
	SF_D2	R10		
	SF_D1	P10		
SPI_MISO	N10	データ バイト および 16 ビット ハーフワードのビット 0 です。FPGA ピン D0/DIN に接続し、BPI コンフィギュレーションをサポートします。ほかの SPI パリフェラルおよび Platform Flash PROM と共有されます。		
制御ピン	SF_CE0	D16	StrataFlash チップ イネーブル。FPGA ピン LDC0 に接続し、BPI コンフィギュレーションをサポートします。	
	SF_WE	D17	StrataFlash 書き込みイネーブル。FPGA ピン HDC に接続し、BPI コンフィギュレーションをサポートします。	
	SF_OE	C18	StrataFlash チップ イネーブル。FPGA ピン LDC1 に接続し、BPI コンフィギュレーションをサポートします。	
	SF_BYTE	C17	StrataFlash バイトイネーブル。FPGA ピン LDC2 に接続し、BPI コンフィギュレーションをサポートします。 0 : x8 データ 1 : x16 データ	
	SF_STS	B18	StrataFlash ステータス信号。FPGA のユーザー I/O ピンに接続されます。	

共有される接続

StrataFlash メモリの接続は、FPGA 以外のコンポーネントへの接続と共有されます。

キャラクタ LCD

キャラクタ LCD では、4 ビット データ インターフェイスが使用されています。ディスプレイ データ接続は、StrataFlash PROM の SF_D<11:8> 信号とも共有されます。表 11-2 に示すように、FPGA は SF_CE0 および LCD_RW 信号を使用して、StrataFlash PROM またはキャラクタ LCD へのアクセスを制御します。

表 11-2 : StrataFlash および LCD に対する FPGA の制御

SF_CE0	LCD_RW	機能
1	1	FPGA によるキャラクタ LCD からの読み出し
0	0	FPGA から StrataFlash PROM へのアクセス

ザイリンクス XC2C64A CPLD

ザイリンクス XC2C64A CoolRunner CPLD は、コンフィギュレーション中に、StrataFlash の上位 5 アドレス ライン SF_A<24:20> を制御します。FPGA からの BPI モードの上位 4 アドレス ライン A<23:20> は接続されず、4 つの FPGA ユーザー I/O ピンが StrataFlash PROM 上位アドレス ライン SF_A<23:0> に接続されます。詳細は、第 16 章「XC2C64A CoolRunner-II CPLD」を参照してください。

最上位のアドレス ライン SF_A<24> は、16 MB StrataFlash PROM では物理的には使用されません。これは、同じパッケージ フットプリント 内の集積度の高い StrataFlash PROM へ移行する場合に使用します。同様に、SF_A<24> 信号も FX2 拡張コネクタ上の FX2_IO<32> 信号に接続されます。

SPI データ ライン

最下位の StrataFlash データ ライン SF_D<0> は、シリアル SPI ペリフェラルからのデータ出力信号、SPI_MISO、および Platform Flash PROM からのシリアル出力と共有されます。表 11-3 を参照してください。競合を避けるには、FPGA アプリケーションでアクティブなデータ ソースを常に 1 つだけにします。

表 11-3 : SPI_MISO (SF_D<0>) データの競合

条件	機能
FPGA_M2 = Low FPGA_M1 = Low FPGA_M0 = Low INIT_B = High	Platform Flash が D0 にデータを出力
SF_CE0 = Low SF_OE = Low	StrataFlash がデータを出力
AD_CONV = High SPI_SCK	A/D コンバータからシリアル データをクロックに同期して出力
DAC_CS = Low SPI_SCK	SPI_SCK の遷移で DAC が前のコマンドを出力

UCF ロケーション制約

アドレス

図 11-2 に、StrataFlash アドレス ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "SF_A<24>" LOC = "A11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<23>" LOC = "N11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<22>" LOC = "V12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<21>" LOC = "V13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<20>" LOC = "T12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<19>" LOC = "V15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<18>" LOC = "U15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<17>" LOC = "T16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<16>" LOC = "U18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<15>" LOC = "T17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<14>" LOC = "R18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<13>" LOC = "T18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<12>" LOC = "L16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<11>" LOC = "L15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<10>" LOC = "K13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<9>" LOC = "K12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<8>" LOC = "K15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<7>" LOC = "K14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<6>" LOC = "J17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<5>" LOC = "J16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<4>" LOC = "J15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<3>" LOC = "J14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<2>" LOC = "J12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<1>" LOC = "J13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<0>" LOC = "H17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```

図 11-2 : StrataFlash のアドレス入力のロケーション制約

データ

図 11-3 に、StrataFlash データ ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "SF_D<15>" LOC = "T8" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<14>" LOC = "R8" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<13>" LOC = "P6" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<12>" LOC = "M16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<11>" LOC = "M15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<10>" LOC = "P17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<9>" LOC = "R16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<8>" LOC = "R15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<7>" LOC = "N9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<6>" LOC = "M9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<5>" LOC = "R9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<4>" LOC = "U9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<3>" LOC = "V9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<2>" LOC = "R10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<1>" LOC = "P10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 | DRIVE = 6 | SLEW = SLOW ;

```

図 11-3 : StrataFlash のデータ I/O のロケーション制約

制御ピン

図 11-4 に、StrataFlash 制御ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

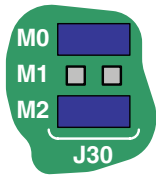
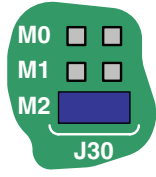
```
NET "SF_BYTE" LOC = "C17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_CE0" LOC = "D16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_OE" LOC = "C18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_STS" LOC = "B18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_WE" LOC = "D17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
```

図 11-4 : StrataFlash の制御ピンのロケーション制約

FPGA モード セレクト ピンの設定

FPGA コンフィギュレーション モード ピンを、BPI Up または BPI Down モード用に設定します。
表 11-4 を参照してください。

表 11-4 : BPI-Up または BPI-Down コンフィギュレーション モードの選択
(図 4-2 のヘッダ J30)

コンフィギュレーションモード	モードピン M2:M1:M0	StrataFlash での FPGA コンフィギュレーション イメージ	ジャンパ設定
BPI Up	0:1:0	FPGA はアドレス 0 で開始し、アドレス空間の上限までインクリメントします。BPI コンフィギュレーションでは、アドレスライン A[24:20] は CPLD により制御されます。	
BPI Down	0:1:1	FPGA はアドレス 0xFF_FFFF で開始し、アドレス空間の下限までデクリメントします。BPI コンフィギュレーションでは、アドレスライン A[24:20] は CPLD により制御されます。	

関連情報

- Intel 社製 J3 StrataFlash データシート
<http://www.intel.com/design/flcomp/datashts/290667.htm>
- アプリケーション ノート 827 『Intel StrataFlash® Memory (J3) to Xilinx Spartan-3E FPGA Design Guide』
<http://www.intel.com/design/flcomp/applnots/307257.htm>

SPI シリアル Flash

Spartan-3E スタータ キット ボード には、STMicroelectronics 社製 M25P16 16Mb SPI シリアル Flash が含まれており、さまざまなアプリケーションで使用できます。SPI Flash では、FPGA のコンフィギュレーションの新たな方法が提供されています。図 12-1 に、この Spartan-3E FPGA の新機能を示します。SPI Flash は、FPGA のコンフィギュレーション後、次のような目的で使用できます。

- 単純な不揮発性データの格納
- 識別コード、シリアル番号、IP アドレスなどの格納
- MicroBlaze プロセッサ コードの格納。MicroBlaze プロセッサ コードは、DDR SDRAM にシャドウできます。

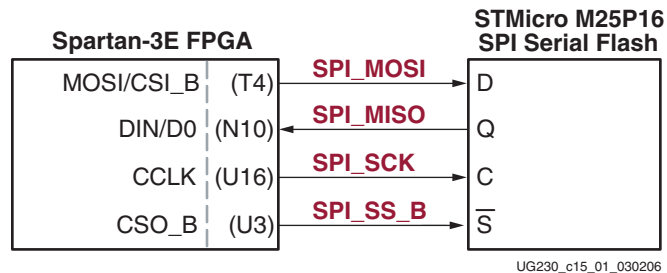


図 12-1 : Spartan-3E FPGA のオプションの SPI Flash コンフィギュレーション インターフェイス

表 12-1 : SPI Flash インターフェイス信号

信号	FPGA ピン	方向	説明
SPI_MOSI	T4	FPGA → SPI	シリアルデータ：マスタ出力、スレーブ入力
SPI_MISO	N10	FPGA ← SPI	シリアルデータ：マスタ入力、スレーブ出力
SPI_SCK	U16	FPGA → SPI	クロック
SPI_SS_B	U3	FPGA → SPI	アクティブ Low の非同期スレーブ セレクト入力

UCF ロケーション制約

図 12-2 に、SPI シリアル Flash PROM の I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
# some connections shared with SPI Flash, DAC, ADC, and AMP
NET "SPI_MISO" LOC = "N10" | IOSTANDARD = LVCMOS33 ;
NET "SPI_MOSI" LOC = "T4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SS_B" LOC = "U3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_ALT_CS_JP11" LOC = "R12" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
```

図 12-2 : SPI Flash 接続の UCF ロケーション制約

SPI Flash からのコンフィギュレーション

SPI Flash から FPGA をコンフィギュレーションするには、FPGA のモード セレクト ピンが適切に設定され、SPI Flash に有効なコンフィギュレーション イメージが含まれている必要があります。

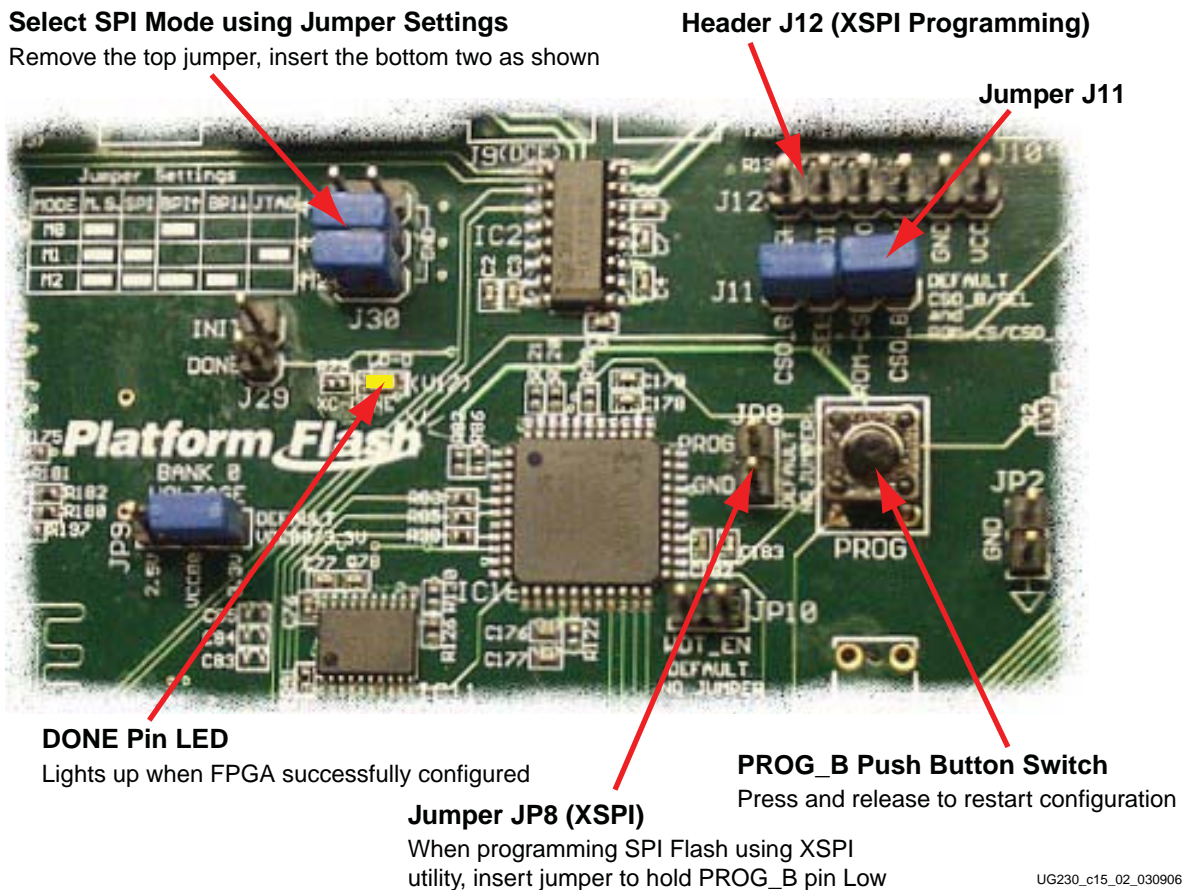
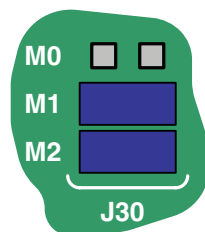


図 12-3 : SPI モードのコンフィギュレーション オプション

FPGA モード セレクト ピンの設定

図 12-4 に示すように、FPGA コンフィギュレーション モード ピンを SPI モード用に設定します。コンフィギュレーション モード ジャンパ J30 の位置は、図 12-3 を参照してください。



UG230_c15_03_030206

図 12-4 : SPI モードのモードピンの設定

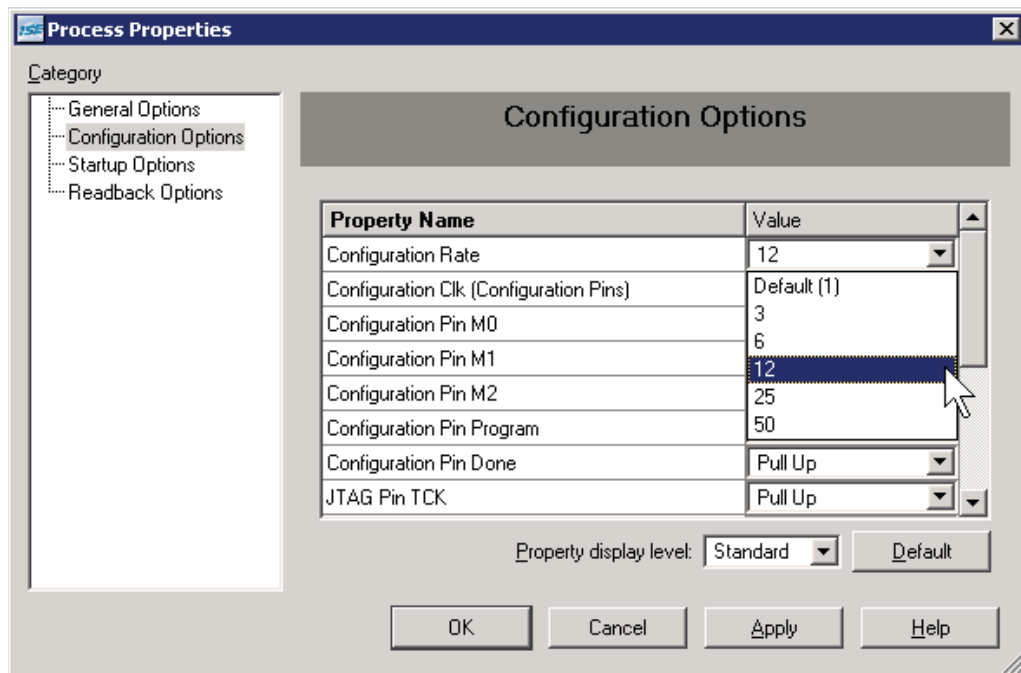
SPI シリアル Flash PROM ファイルの作成

FPGA ビットストリームを SPI シリアル Flash PROM 用にフォーマットするには、次の手順に従います。

コンフィギュレーション クロック レートの設定

FPGA は、M25P16 SPI シリアル Flash に接続されている場合、12MHz コンフィギュレーション クロック レートをサポートします。Project Navigator の [Processes] タブで [Generate Programming File] を右クリックして [Properties] をクリックし、[Configuration Rate] を 12 に設定します (図 12-5 を参照)。詳細は、「FPGA コンフィギュレーション オプション」の章の「FPGA コンフィギュレーション ビットストリーム ファイルの生成」セクションを参照してください。

設定が完了したら、FPGA ビットストリーム プログラム ファイルを再生成します。

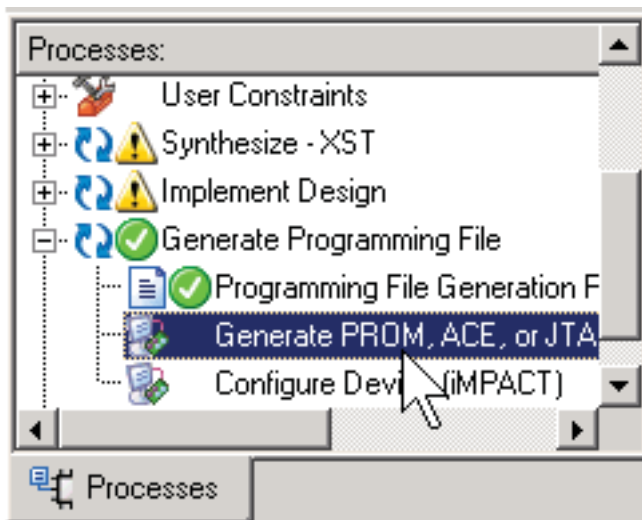


UG230_c15_04_030206

図 12-5 : M25P16 SPI Flash 使用時は、コンフィギュレーション レートを 12MHz に設定

SPI Flash PROM ファイルのフォーマット

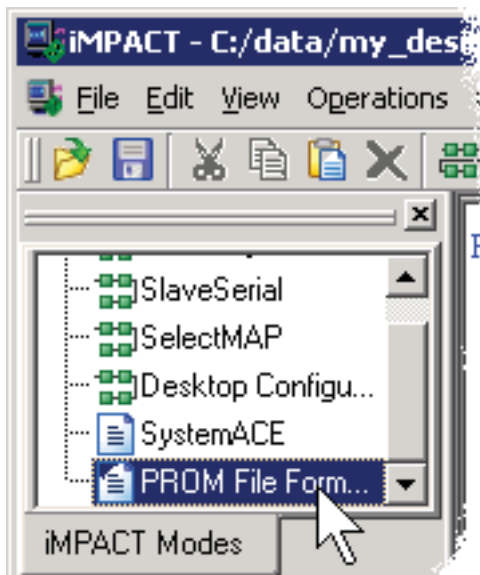
プログラム ファイルを生成した後、[Generate PROM, ACE, or JTAG File] をダブルクリックして iMPACT を起動します (図 12-6 を参照)。



UG230_c15_05_030206

図 12-6 : [Generate PROM, ACE, or JTAG File] をダブルクリック

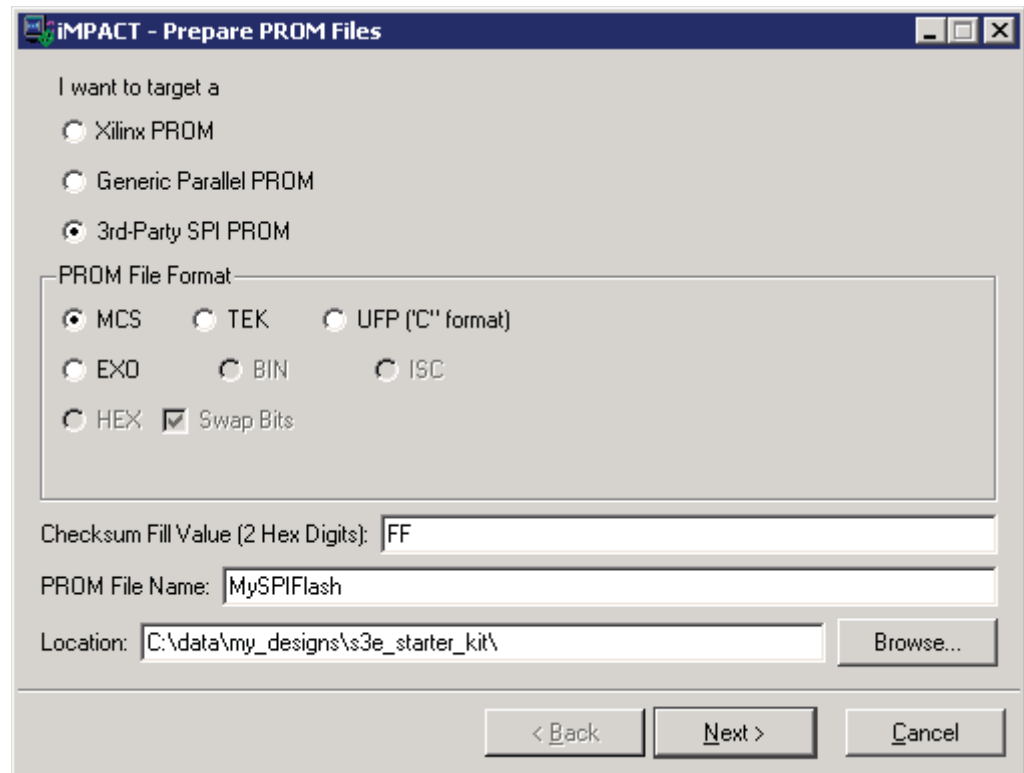
iMPACT が起動したら、[PROM File Formatter] をダブルクリックします (図 12-7 を参照)。



UG230_c15_06_030206

図 12-7 : [PROM File Formatter] をダブルクリック

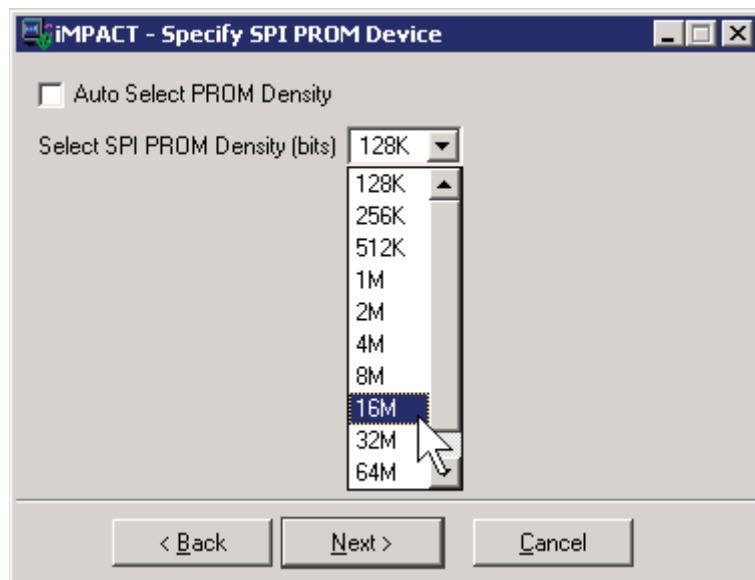
ターゲットの PROM タイプとして [3rd Party SPI PROM] を選択します (図 12-8 を参照)。[PROM File Format] を選択します。Intel 社の Hex フォーマット ([MCS]) がよく使用されます。SPI Flash PROM では最上位ビット (MSB) が最初にシフトアウトされるので、PROM Formatter により自動的にビットの方向がスワップされます。PROM ファイルの場所 ([Location]) と名前 ([PROM File Name]) を入力します。設定が終了したら、[Next >] をクリックします。



UG230_c15_07_030206

図 12-8 : ターゲット PROM のタイプ、ファイル フォーマット、場所と名前を指定

Spartan-3E スタータ キット ボードには、16Mb SPI シリアル Flash PROM が含まれます。ドロップダウン リストから [16M] を選択します (図 12-9 を参照)。[Next >] をクリックします。



UG230_c15_08_030206

図 12-9 : 16M を選択

図 12-10 に示すように、設定のサマリが表示されます。[Finish] をクリックします。

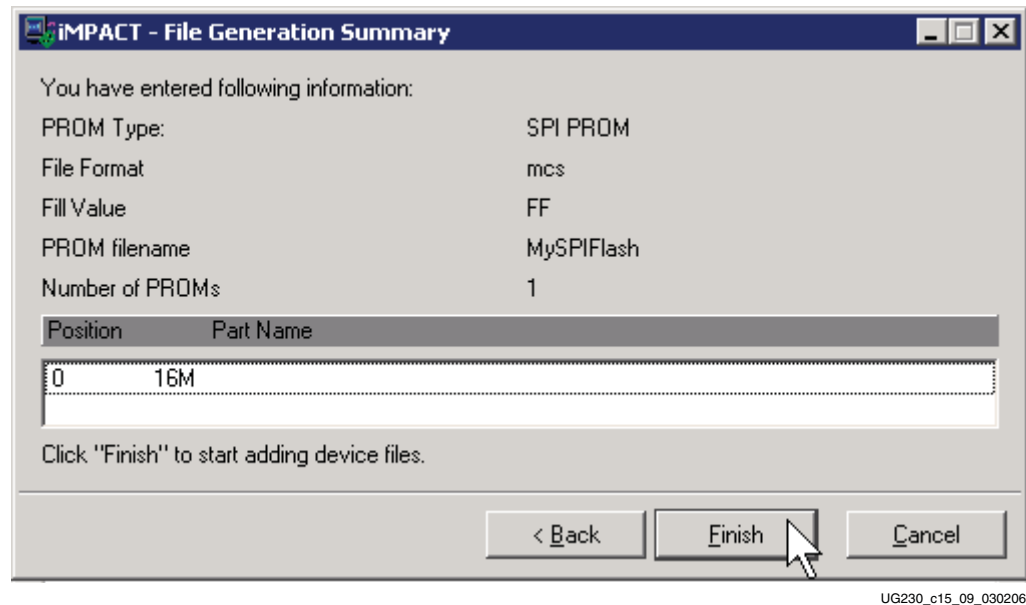


図 12-10 : PROM Formatter の設定を入力した後、[Finish] をクリック

FPGA コンフィギュレーション ビットストリーム ファイルの名前を示すダイアログ ボックスが表示されます (図 12-11 を参照)。[OK] をクリックし、ファイルを選択します。FPGA ビットストリーム ファイル (*.bit) を選択します。最後の FPGA ファイルを選択したら、[No] をクリックし、次に表示されるダイアログ ボックスで [OK] をクリックします。



図 12-11 : FPGA コンフィギュレーション ビットストリーム ファイルの選択

PROM のフォーマットが完了すると、iMPACT に PROM、FPGA ビットストリーム、ビットストリームで使用される PROM の容量が表示されます。図 12-12 に、1 つの XC3S500E FPGA ビットストリームを XCF04S Platform Flash PROM に保存する例を示します。

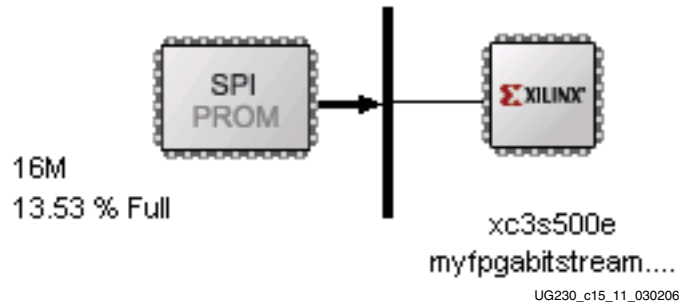


図 12-12 : PROM のフォーマット完了

PROM ファイルを生成するには、[Operations] → [Generate File] をクリックします (図 12-13 を参照)。

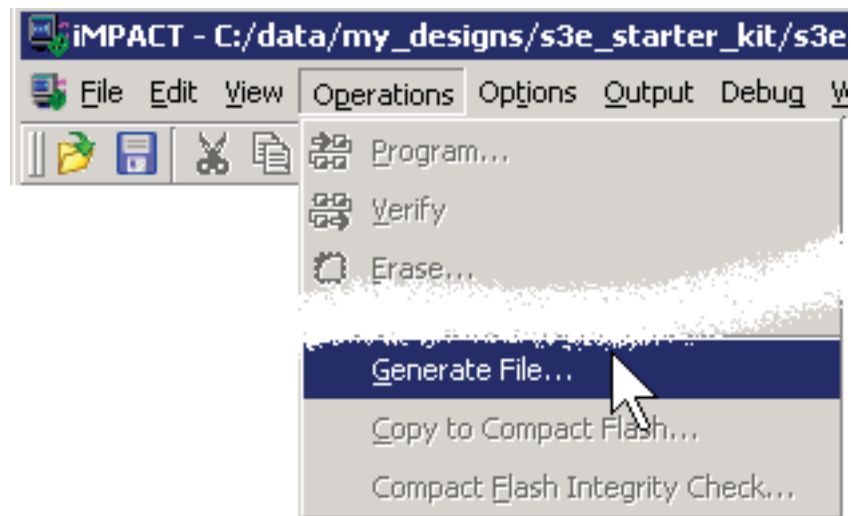


図 12-13 : [Operations] → [Generate File] をクリックして PROM ファイルを生成

図 12-14 に示すように、iMPACT に PROM ファイルの生成が正常に完了したことを示すメッセージが表示されます。図 12-8 に示された設定に基づいて、出力ファイルが PROM Formatter により作成されます。この例では、出力ファイルは MySPIFlash.mcs という名前です。

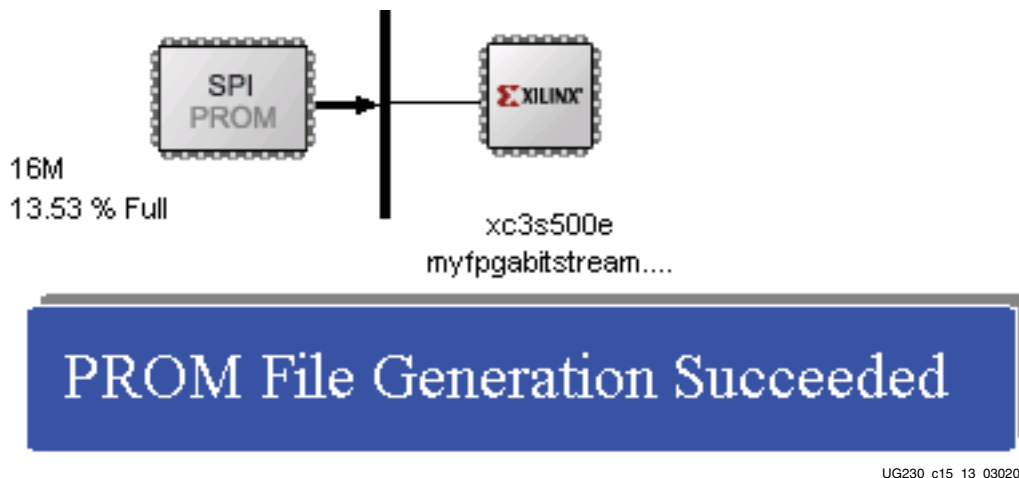


図 12-14 : PROM ファイルの生成完了

SPI Flash へのデザインのダウンロード

SPI Flash をプログラムするには、次の方法があります。

- アプリケーション ノート XAPP445 に記述されている、XSPI プログラム ソフトウェアを使用する。JTAG パラレルプログラム ケーブルを使用して、パラレル ポートを通じて SPI Flash をダウンロードします (ケーブルはキットには含まれていません)。
- PicoBlaze ベースの SPI Flash プログラマ リファレンス デザインを使用する。Hyperlink などのターミナル エミュレータを使用し、SPI Flash プログラム データを、PC のシリアル ポートを通じて FPGA にダウンロードします。エンベデッド PicoBlaze プロセッサにより、添付の SPI シリアル Flash がプログラムされます。109 ページの「関連情報」を参照してください。
- FPGA の JTAG チェーンを介し、FPGA に接続した SPI Flash を、JTAG ツールを使用してプログラムする。109 ページの「関連情報」から Universal Scan SPI Flash プログラムのサイトを参照してください。
- その他のプログラムに関するサポートは、ISE 8.2i ソフトウェアで提供されます。

XSPI を使用した SPI Flash のダウンロード

XSPI プログラム ユーティリティを使用して SPI Flash PROM をダウンロードするには、次の手順に従います。

XSPI プログラム ユーティリティのダウンロードとインストール

アプリケーション ノート XAPP445 と XSPI プログラム ソフトウェアをダウンロードします (109 ページの「関連情報」を参照)。XSPI ソフトウェアを PC に解凍します。

JTAG パラレル プログラム ケーブルの接続

XSPI プログラム ユーティリティでは、次のような JTAG パラレル プログラム ケーブルが使用されます。

- [ザイリンクス パラレル ケーブル IV](#) フライイング リード付き
- Digilent 社製 JTAG3 プログラム ケーブル

ケーブルは Spartan-3E スタータ キット ボードには含まれていませんので、ザイリンクス販売代理店または Digilent 社より別途ご購入いただく必要があります (109 ページの「関連情報」を参照)。

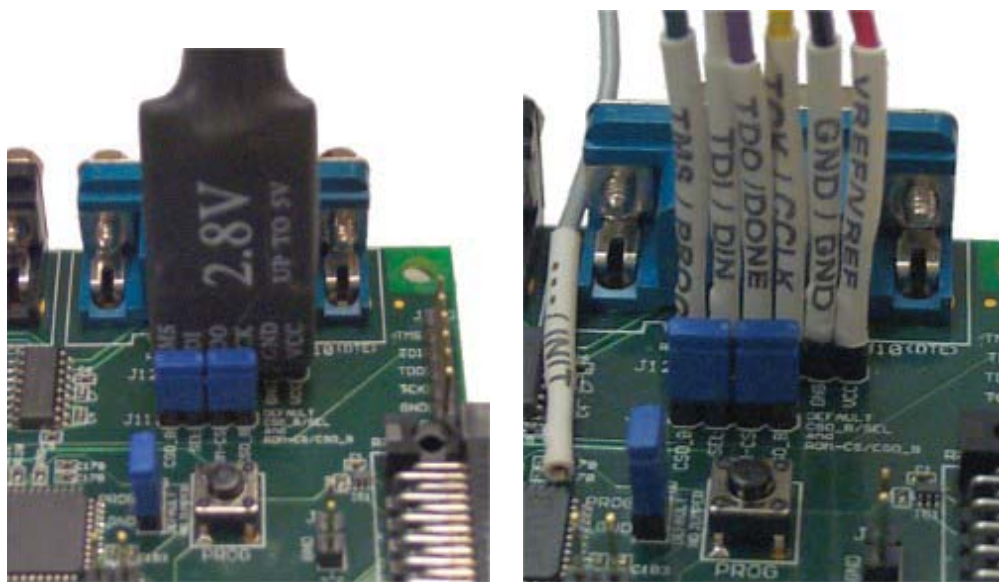
まず、Spartan-3E スタータ キット ボードの電源を切ります。

USB ケーブルがボードに接続されていれば、ボードからはずします。USB ケーブルとパラレルケーブルを同時に PC に接続すると、iMPACT ソフトウェアで正しく認識されません。

JTAG パラレル プログラム ケーブルの一端を PC のパラレル プリントラ ポートに接続します。

ケーブルの JTAG 側を、図 12-15a に示すようにヘッダ J12 に接続します。ヘッダ J12 の物理的な位置は、96 ページの図 12-3 に示されています。ヘッダ J12 は、JTAG チェーンではなく、SPI Flash ピンに直接接続されています。

JTAG3 ケーブルをヘッダ J12 に直接接続します。JTAG3 ケーブルのラベルは、J11 ジャンパ側に向けます。フライング リードを使用する場合は、図 12-15b および表 12-2 に示すように接続します。リードの色分けに注意してください。グレーの INIT リードは接続されません。



a) JTAG3 Parallel Connector

b) Parallel Cable III or Parallel Cable IV with Flying Leads

UG230_c15_14_030206

図 12-15 : JTAG パラレル プログラム ケーブルのボードへの接続

表 12-2 : ヘッダ J12 へのケーブル接続

ケーブルとラベル	接続					
ヘッダ J12 ラベル	SEL	SDI	SDO	SCK	GND	VCC
JTAG3 ケーブル ラベル	TMS	TDI	TDO	TCK	GND	VCC
フライング リード ラベル	TMS/ PROG	TDI/ DIN	TDO/ DONE	TCK/ CCLK	GND/ GND	VREF/ VREF

ジャンパを JP8 に挿入し、PROG_B を Low に保持

JTAG パラレル プログラム ケーブルは、SPI Flash ピンに直接アクセスします。FPGA との信号の競合を防ぐため、FPGA の接続ピンがハイ インピーダンスであることを確認します。図 12-16 に示すように、ジャンパを PROG プッシュ ボタンの隣の JP8 に挿入し、FPGA の PROG_B ピンを Low に設定します。ジャンパ JP8 および周辺の目印の位置については、96 ページの図 12-3 を参照してください。



a) No Jumper: FPGA Operational (default) b) Jumper Installed: FPGA Held in Configuration State, I/Os in High Impedance

UG230_c15_15_030206

図 12-16 : JP8 ジャンパを挿入インストールすると、FPGA が コンフィギュレーション ステートに保持される

Spartan-3E スタータ キット ボードの電源を入れます。

XSPI ソフトウェアを使用した SPI Flash のプログラム

コマンド プロンプトまたは DOS ボックスを開き、ディレクトリを XSPI がインストールされたディレクトリに変更します。

XSPI インストール ソフトウェアには、XAPP445 のほかにユーザー ガイドが含まれます。プロンプトに「xspi」と入力し、クイック ヘルプを表示します。

プロンプトに次のコマンドを入力し、SPI 用にフォーマットされた Flash ファイルを使用して SPI Flash をプログラムします。このコマンドは、SPI Flash が M25P16 SPI Flash であることを確認し、プログラムを削除した後、Flash を確認します。

```
C:\xspi>xspi -spi_dev m25p16 -spi_epv -mcs -i MySPIFlash.mcs
-o output.txt
```

免責条項が画面に表示されます。Enter キーを押して、続行します。プログラムに要する時間は、図 12-17 に示すように、1 分と少しです。

```
--=< Press ENTER to accept notice and continue >==  
  
Start   : Mon Feb 27 13:37:07 2006  
  
==> Checking SPI device [STMicro_M25P16_ver_00100] ID code(s)  
- density = [2097152] bytes  
  = [16777216] bits  
- mfg_code = [0x20]  
- memory_type = [0x20]  
- density_code = [0x15]  
  
+-----+  
| Device ID code(s) check ==> [ OK ] |  
+-----+  
  
=> Operation: Erase  
=> Operation: Program and Verify using file [MySPIFlash.mcs]  
Programmed [283776] of [283776] bytes (w/ polling)  
Verified   [283776] of [283776] bytes (0 errors)  
  
--> Total byte mismatches [0] (see [temp.txt])  
Finish  : Mon Feb 27 13:38:22 2006  
Elapsed clock time (00:01:15) = 75 seconds
```

図 12-17: XSPI プログラムユーティリティを使用した M25P16 SPI Flash のプログラム

SPI Flash のプログラムが終了したら、ジャンパ JP8 を取りはずします (図 12-16a を参照)。正しくプログラムされていれば、FPGA が SPI Flash PROM から自動的にコンフィギュレーションされ、DONE LED が点灯します。DONE LED は、図 12-3 に示されています。

その他の設計の詳細

図 12-18 に、Spartan-3E スタータ キット ボードで使用される SPI Flash インターフェイスのその他の詳細を示します。ほとんどのアプリケーションでは、このインターフェイスは図 12-1 に示すインターフェイスのように単純ですが、Spartan-3E スタータ キット ボードでは、さまざまなコンフィギュレーション オプションがサポートされており、Spartan-3E のその他の機能も使用できるようになっています。

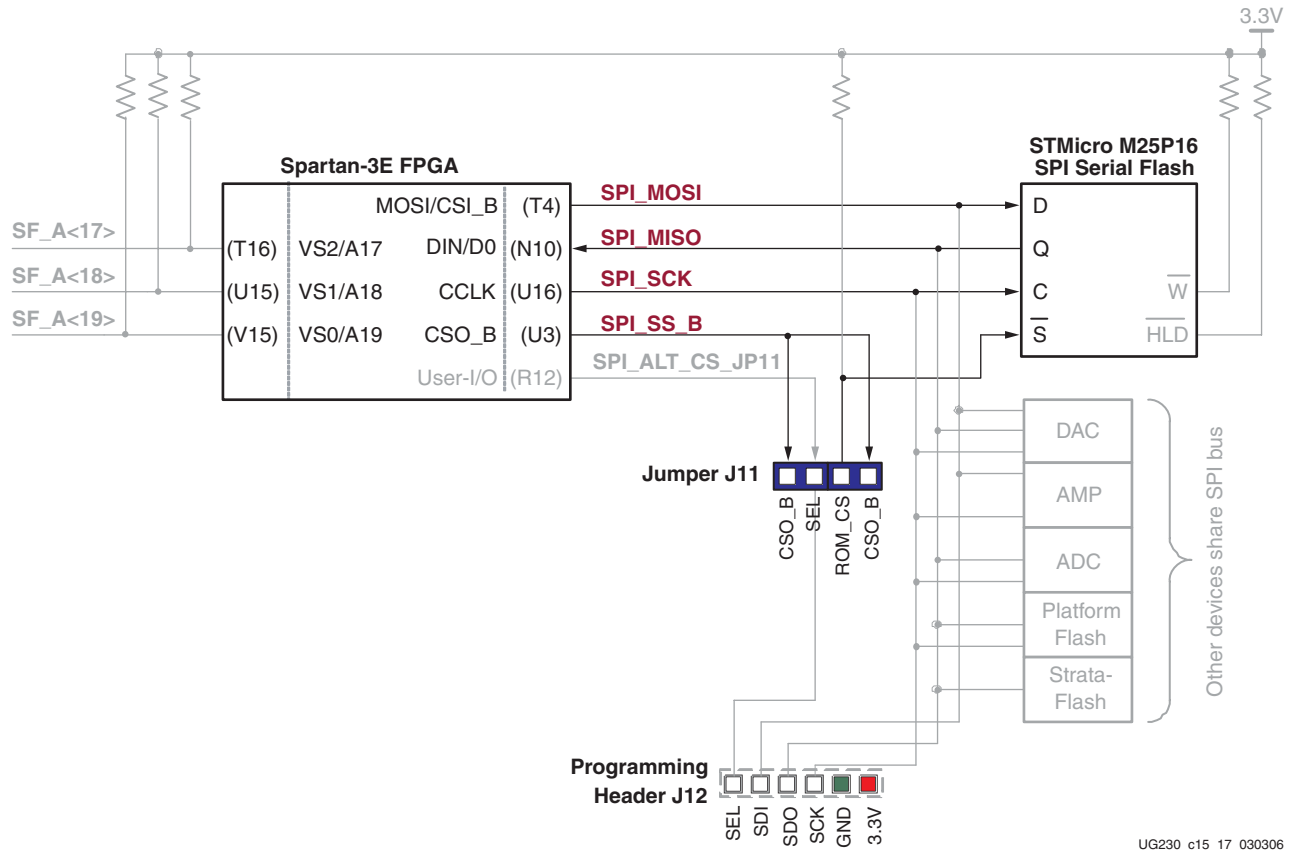


図 12-18 : その他の SPI Flash インターフェイス デザインの詳細

ペリフェラルと共有された SPI バス

コンフィギュレーションが完了すると、SPI Flash コンフィギュレーション ピンがアプリケーションで使用できるようになります。図 12-18 に示すように、Spartan-3E スタータ キット ボードでは、SPI バスはほかの SPI 対応のペリフェラル デバイスと共有されています。コンフィギュレーション後に SPI Flash メモリにアクセスするには、SPI バス上のほかのデバイスを FPGA アプリケーションによりディスエーブルにする必要があります。表 12-3 に、その他のデバイスの信号名とディスエーブル値を示します。

表 12-3 : SPI バス上のデバイスのディスエーブル

信号	ディスエーブルにするデバイス	ディスエーブル値
DAC_CS	DA コンバータ (DAC)	1
AMP_CS	プログラマブル プリアンプ	1
AD_CONV	AD コンバータ (ADC)	0
SF_CEO	StrataFlash パラレル Flash PROM	1
FPGA_INIT_B	Platform Flash PROM	1

その他の SPI Flash 制御信号

M25P16 SPI Flash には、制御入力のほかにもう 2 つあります。アクティブ Low の書き込み保護入力 (W) とアクティブ Low のバス ホールド入力 (HLD) で、共に未使用です。外部プルアップ抵抗を使用して High にプルアップされます。

バリエーション セレクト ピン VS[2:0]

SPI コンフィギュレーション モードでは、FPGA は VS[2:0] という 3 つのピンの値を抽出し、どの SPI 読み出しコマンドを発行するかを決定します。M25P16 Flash では、VS[2:0]=<1:1:1> のときに正しいコマンド シーケンスが発行されます。VS[2:0] ピンは、外部プルアップ抵抗を使用して High にプルアップされ、3.3V になります。FPGA の BPI コンフィギュレーション モードでは、VS[2:0] ピンはパラレル NOR Flash アドレス ライン A[19:17] として使用されるので、StrataFlash パラレル Flash PROM にも接続されています。SPI コンフィギュレーション後、VS[2:0] ピンはユーザー I/O ピンとなり、FPGA は SPI Flash からコンフィギュレーションされていますが、StrataFlash PROM にも完全にアクセスできます。

ジャンパ ブロック J11

SPI コンフィギュレーション モードでは、CSO_B ピンを Low にアサートすることで、SPI Flash が選択されます。Spartan-3E スタータ キット ボードでは、CSO_B ピンはジャンパ J11 ブロックを駆動します。このジャンパ ブロックにより、ボード上の SPI Flash を別のセレクト ライン (SPI_ALT_CS_JP11) に移動できます。このようにすると、JP11 ジャンパの設定を変更し、ヘッダ JP12 に別の SPI Flash に接続することで、ほかの SPI Flash デバイスをテストできます。デフォルトでは、どちらのジャンパもジャンパ ブロック ヘッダ J11 に挿入されています。

プログラム ヘッダ J12

103 ページの図 12-15 に示されているように、ヘッダ J12 では JTAG パラレル プログラム ケーブルを使用して、ボード上の SPI Flash をプログラムします。

マルチ パッケージ レイアウト

STMicroelectronics 社では、M25Pxx SPI シリアル Flash ファミリに、マルチ パッケージ レイアウトを採用しています。Spartan-3E スタータ キット ボードは、16Mb デバイスに使用される 3 つのパッケージ タイプすべてをサポートします (図 12-19 を参照)。デフォルトでは、ボードには 8 リードの 8x6 mm MLP パッケージが搭載されています。マルチ パッケージ レイアウトはまた、8 ピン SOIC パッケージおよび 16 ピン SOIC パッケージをサポートします。8 ピン SOIC と MLP パッケージのピン 1 は左上隅にあります。16 ピン SOIC パッケージのピン 1 は右上隅にあります。これは、パッケージが 90° 回転しているためです。また、16 ピン SOIC パッケージの両側には、ボードに接続されていないピンが 4 つずつあります。これらのピンは、フロート状態にしておきます。マルチ パッケージをサポートする理由は、柔軟性です。マルチ パッケージ レイアウトには、次の利点があります。

- 低集積 SPI Flash PROM と高集積 SPI Flash PROM 間の移行が可能
 すべてのパッケージで、どの集積度の SPI Flash でも使用できるというわけではありません。SPI Flash の移行方法は、ザイリンクス FPGA のピン配置移行方法に沿っています。
- FPGA の集積度を移行する際、コンフィギュレーション PROM レイアウトが一貫している
 Spartan-3E FPGA の FG320 パッケージ フットプリントは、XC3S500E、XC3S1200E、および XC3S1600E FPGA デバイスを変更なしでサポートします。SPI Flash マルチ パッケージ レイアウトを使用すると、対応するコンフィギュレーション PROM も同様に柔軟に使用できます。ボード上の FPGA に最適なサイズの SPI Flash メモリが搭載されています。
- 集積度とパッケージの組み合わせ
 使用するパッケージで使用できない集積度の SPI Flash がある場合は、パッケージ スタイルまたは集積度を変更できます。

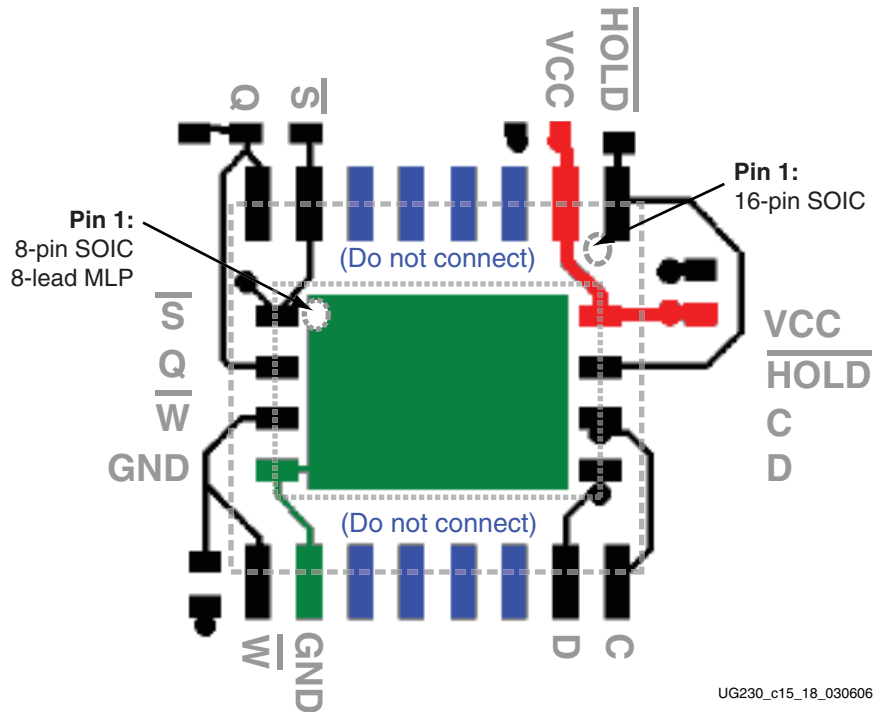


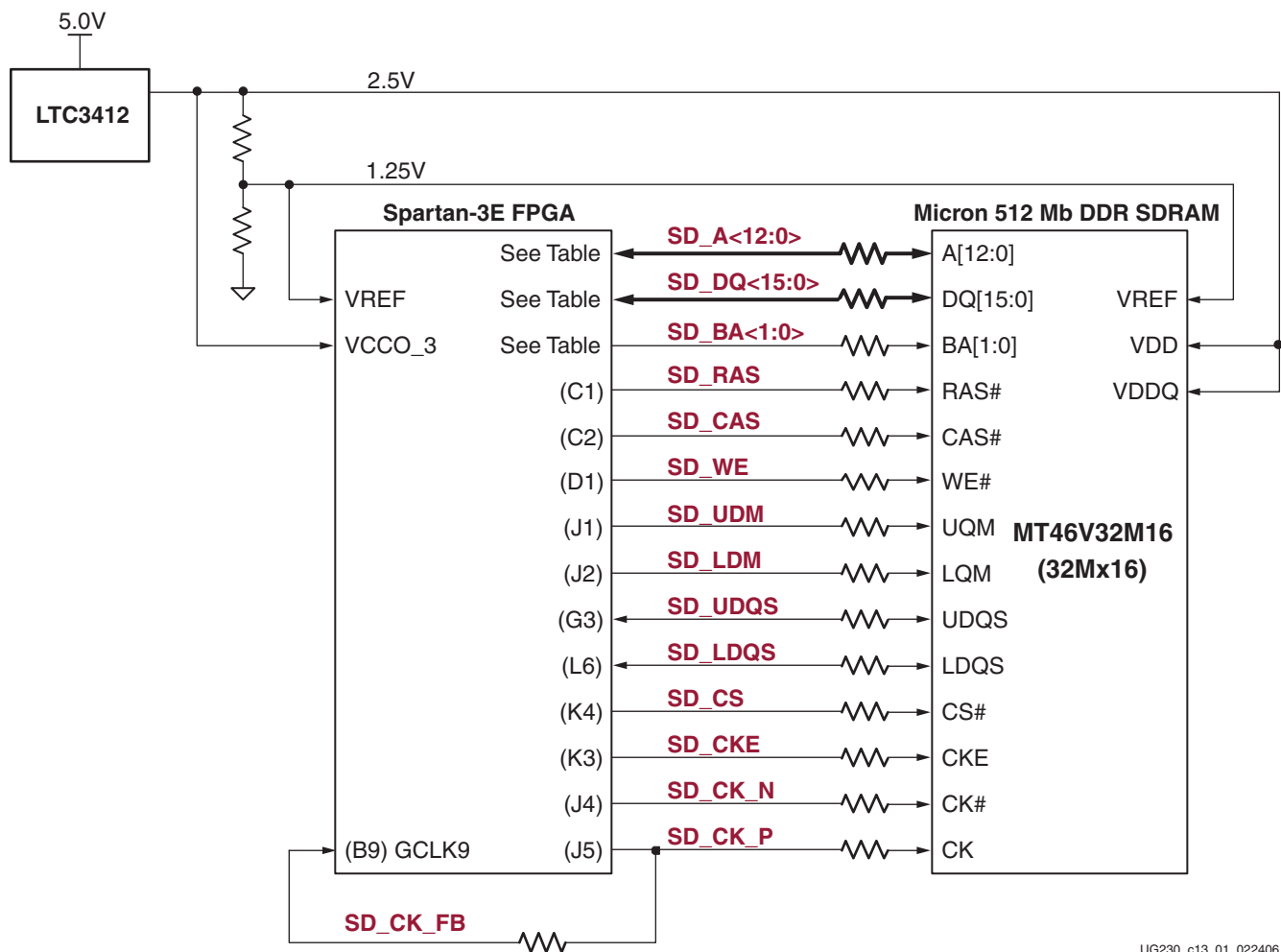
図 12-19 : STMicroelectronics 社製 M25Pxx ファミリのマルチ パッケージ レイアウト

関連情報

- アプリケーション ノート XAPP445 : Configuring Spartan-3E Xilinx FPGAs with SPI Flash Memories
http://www.xilinx.co.jp/xlnx/xweb/xil_publications_display.jsp?category=Application+Notes/FPGA+Features+and+Design/Configuration&show=xapp445.pdf
- XSPI SPI Flash プログラム ユーティリティ
http://www.xilinx.co.jp/xlnx/xweb/xil_publications_display.jsp?category=Application+Notes/FPGA+Features+and+Design/Configuration&show=xapp445.pdf
- [ザイリンクス パラレル ケーブル IV](#) フライニング リード付き
<http://www.xilinx.co.jp/xlnx/xebiz/productview.jsp?sGlobalNavPick=&category=-19314>
- Digilent 社製 JTAG3 プログラム ケーブル
<http://www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Cables&Cat=Cable>
- STMicroelectronics 社製 M25P16 SPI シリアル Flash データ シート
<http://www.st.com/stonline/books/pdf/docs/10027.pdf>
- AN1579 : Compatibility between the SO8 Package and the MLP Package for the M25Pxx in Your Application
<http://www.st.com/stonline/products/literature/an/9540.pdf>
- RS-232 を介した PicoBlaze SPI シリアル Flash プログラマ (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>
- Spartan-3E スタータ キット ボード上でのシリアル Flash の使用 (リファレンス デザイン)
<http://www.xilinx.co.jp/s3estarter>
- JTAG を使用した Universal Scan SPI Flash のプログラムのトレーニング ビデオ
<http://www.ricreations.com/JTAG-Software-Downloads.htm>

DDR SDRAM

Spartan-3E スタータ キット ボード には、Micron Technology 社製 16 ビット データ インターフェイス 付き 512 Mb (32M X 16) DDR SDRAM (MT46V32M16) が搭載されています (図 13-1 を参照)。DDR SDRAM インターフェイス ピンはすべて、FPGA の I/O バンク 3 に接続されています。I/O バンク 3 および DDR SDRAM には、ボードの 5V 電源から LTC3412 レギュレータで生成された 2.5V の電源が供給されます。FPGA および DDR SDRAM で一般的に使用される参照電圧は 1.25V で、2.5V レールから抵抗分圧器を使用して生成されます。



UG230_c13_01_022406

図 13-1 : FPGA と Micron 512Mb DDR SDRAM のインターフェイス

DDR SDRAM のインターフェイス信号は、すべて終端されます。

差動クロックピン SD_CK_P は、FPGA のデジタルクロックマネージャ (DCM) に最適にアクセスできるようにするため、I/O バンク 0 の B9 ピンにフィードバックされます。このパスは、MicroBlaze OPB DDR コントローラを使用する際に必要です。MicroBlaze OPB DDR SDRAM コントローラ IP コアの資料は、EDK 8.1i に含まれています (115 ページの「関連情報」を参照)。

DDR SDRAM の接続

表 13-1 に、FPGA と DDR SDRAM の接続を示します。

表 13-1 : FPGA と DDR SDRAM の接続

カテゴリ	DDR SDRAM の信号名	FPGA のピン番号	機能
アドレスピン	SD_A12	P2	アドレス入力
	SD_A11	N5	
	SD_A10	T2	
	SD_A9	N4	
	SD_A8	H2	
	SD_A7	H1	
	SD_A6	H3	
	SD_A5	H4	
	SD_A4	F4	
	SD_A3	P1	
	SD_A2	R2	
	SD_A1	R3	
	SD_A0	T1	

表 13-1 : FPGA と DDR SDRAM の接続 (続き)

カテゴリ	DDR SDRAM の信号名	FPGA の ピン番号	機能
データピン	SD_DQ15	H5	データ入力/出力
	SD_DQ14	H6	
	SD_DQ13	G5	
	SD_DQ12	G6	
	SD_DQ11	F2	
	SD_DQ10	F1	
	SD_DQ9	E1	
	SD_DQ8	E2	
	SD_DQ7	M6	
	SD_DQ6	M5	
	SD_DQ5	M4	
	SD_DQ4	M3	
	SD_DQ3	L4	
	SD_DQ2	L3	
	SD_DQ1	L1	
	SD_DQ0	L2	
制御ピン	SD_BA1	K6	バンク アドレス入力
	SD_BA0	K5	
	SD_RAS	C1	コマンド入力
	SD_CAS	C2	
	SD_WE	D1	
	SD_CK_N	J4	差動クロック入力
	SD_CK_P	J5	
	SD_CKE	K3	クロック イネーブル (アクティブ High)
	SD_CS	K4	チップ セレクト入力 (アクティブ Low)
	SD_UDM	J1	データ マスク (上位および下位)
	SD_LDM	J2	
	SD_UDQS	G3	データ ストローブ (上位および下位)
	SD_LDQS	L6	
	SD_CK_FB	B9	FPGA の上部 DCM への SDRAM クロック フィードバック (一部の DDR SDRAM コン トローラ コアで使用)

ロケーション制約

アドレスピン

図 13-2 に、DDR SDRAM アドレスピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SD_A<12>" LOC = "P2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<11>" LOC = "N5" | IOSTANDARD = SSTL2_I ;
NET "SD_A<10>" LOC = "T2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<9>" LOC = "N4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<8>" LOC = "H2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<7>" LOC = "H1" | IOSTANDARD = SSTL2_I ;
NET "SD_A<6>" LOC = "H3" | IOSTANDARD = SSTL2_I ;
NET "SD_A<5>" LOC = "H4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<4>" LOC = "F4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<3>" LOC = "P1" | IOSTANDARD = SSTL2_I ;
NET "SD_A<2>" LOC = "R2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<1>" LOC = "R3" | IOSTANDARD = SSTL2_I ;
NET "SD_A<0>" LOC = "T1" | IOSTANDARD = SSTL2_I ;
```

図 13-2 : DDR SDRAM のアドレス入力のロケーション制約

データピン

図 13-3 に、DDR SDRAM データピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "SD_DQ<15>" LOC = "H5" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<14>" LOC = "H6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<13>" LOC = "G5" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<12>" LOC = "G6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<11>" LOC = "F2" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<10>" LOC = "F1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<9>" LOC = "E1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<8>" LOC = "E2" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<7>" LOC = "M6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<6>" LOC = "M5" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<5>" LOC = "M4" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<4>" LOC = "M3" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<3>" LOC = "L4" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<2>" LOC = "L3" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<1>" LOC = "L1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<0>" LOC = "L2" | IOSTANDARD = SSTL2_I ;
```

図 13-3 : DDR SDRAM のデータ I/O のロケーション制約

制御ピン

図 13-4 に、DDR SDRAM 制御ピンの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "SD_BA<0>" LOC = "K5" | IOSTANDARD = SSTL2_I ;
NET "SD_BA<1>" LOC = "K6" | IOSTANDARD = SSTL2_I ;
NET "SD_CAS" LOC = "C2" | IOSTANDARD = SSTL2_I ;
NET "SD_CK_N" LOC = "J4" | IOSTANDARD = SSTL2_I ;
NET "SD_CK_P" LOC = "J5" | IOSTANDARD = SSTL2_I ;
NET "SD_CKE" LOC = "K3" | IOSTANDARD = SSTL2_I ;
NET "SD_CS" LOC = "K4" | IOSTANDARD = SSTL2_I ;

NET "SD_LDM" LOC = "J2" | IOSTANDARD = SSTL2_I ;
NET "SD_LDQS" LOC = "L6" | IOSTANDARD = SSTL2_I ;
NET "SD_RAS" LOC = "C1" | IOSTANDARD = SSTL2_I ;
NET "SD_UDM" LOC = "J1" | IOSTANDARD = SSTL2_I ;
NET "SD_UDQS" LOC = "G3" | IOSTANDARD = SSTL2_I ;
NET "SD_WE" LOC = "D1" | IOSTANDARD = SSTL2_I ;
# Path to allow connection to top DCM connection
NET "SD_CK_FB" LOC = "B9" | IOSTANDARD = LVCMOS33 ;

```

図 13-4 : DDR SDRAM の制御ピンのロケーション制約

FPGA の VREF ピン

I/O バンク 3 の 5 つの VREF ピンは参照電圧入力専用であり、汎用 I/O として使用することはできません。図 13-5 に、これらのピンを使用禁止にする制約を示します。

```

# Prohibit VREF pins
CONFIG PROHIBIT = D2;
CONFIG PROHIBIT = G4;
CONFIG PROHIBIT = J6;
CONFIG PROHIBIT = L5;
CONFIG PROHIBIT = R4;

```

図 13-5 : VREF ピンを使用禁止にする制約

関連情報

- ザイリンクス エンベデッド開発キット (EDK)
http://www.xilinx.co.jp/ise/embedded_design_prod/platform_studio.htm
- MT46V32M16 (32M x 16) DDR SDRAM のデータシート
<http://download.micron.com/pdf/datasheets/dram/ddr/512MBDDRx4x8x16.pdf>
- MicroBlaze OPB ダブル データ レート (DDR) SDRAM コントローラ (v2.00b)
http://www.xilinx.co.jp/bvdocs/ipcenter/data_sheet/opb_ddr.pdf

10/100 イーサネット物理レイヤ インターフェイス

Spartan-3E スタータ キット ボード には、Standard Microsystems 社製 LAN83C185 10/100 イーサネット物理レイヤ (PHY) インターフェイスと RJ-45 コネクタが搭載されています (図 14-1 を参照)。FPGA にインプリメントされているイーサネット MAC (Media Access Controller) と共に使用すると、標準イーサネット ネットワークへの接続が可能になります。すべてのタイミングは、オンボードの 25MHz 水晶オシレータにより制御されます。

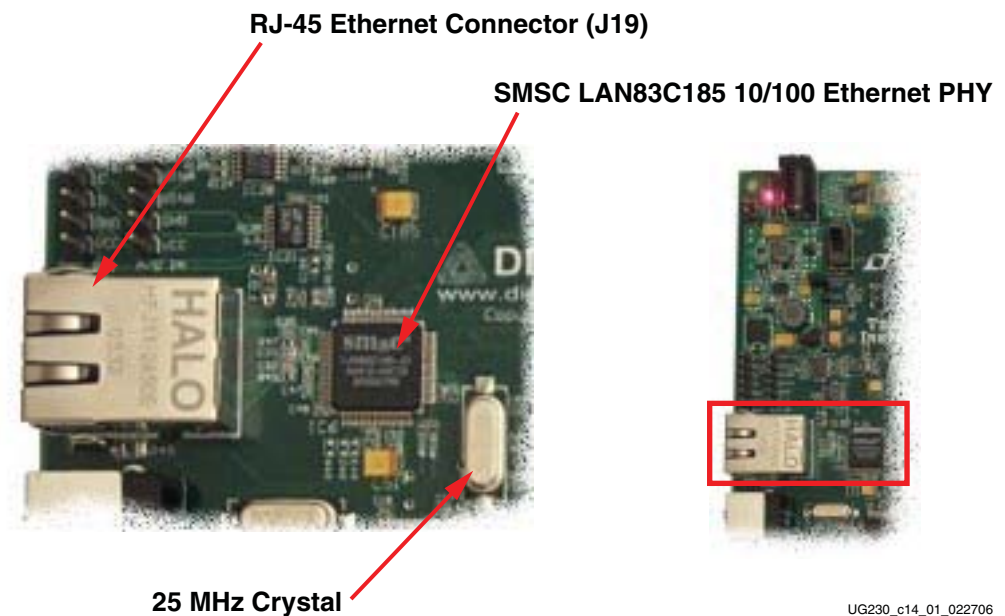


図 14-1 : 10/100 イーサネット PHY と RJ-45 コネクタ

UG230_c14_01_022706

イーサネット PHY の接続

FPGA と LAN83C185 イーサネット PHY の接続には、標準 MII (Media Independent Interface) を使用します (図 14-2 を参照)。インターフェイス信号の説明と、対応する FPGA のピン番号を、表 14-1 に示します。

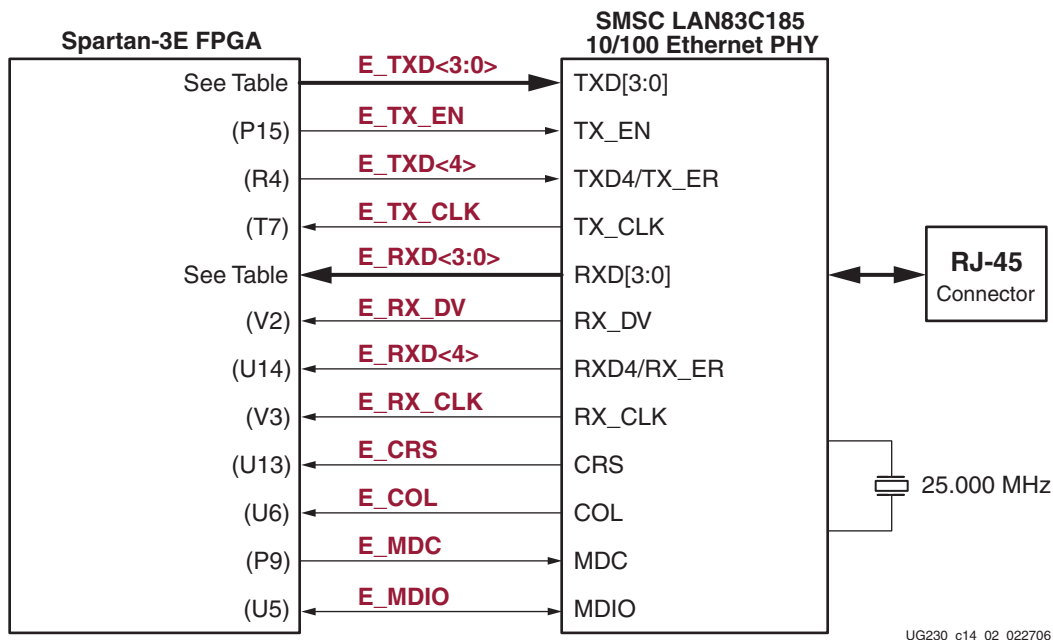


図 14-2 : MII を使用した FPGA とイーサネット PHY の接続

表 14-1 : FPGA と LAN83C185 イーサネット PHY の接続

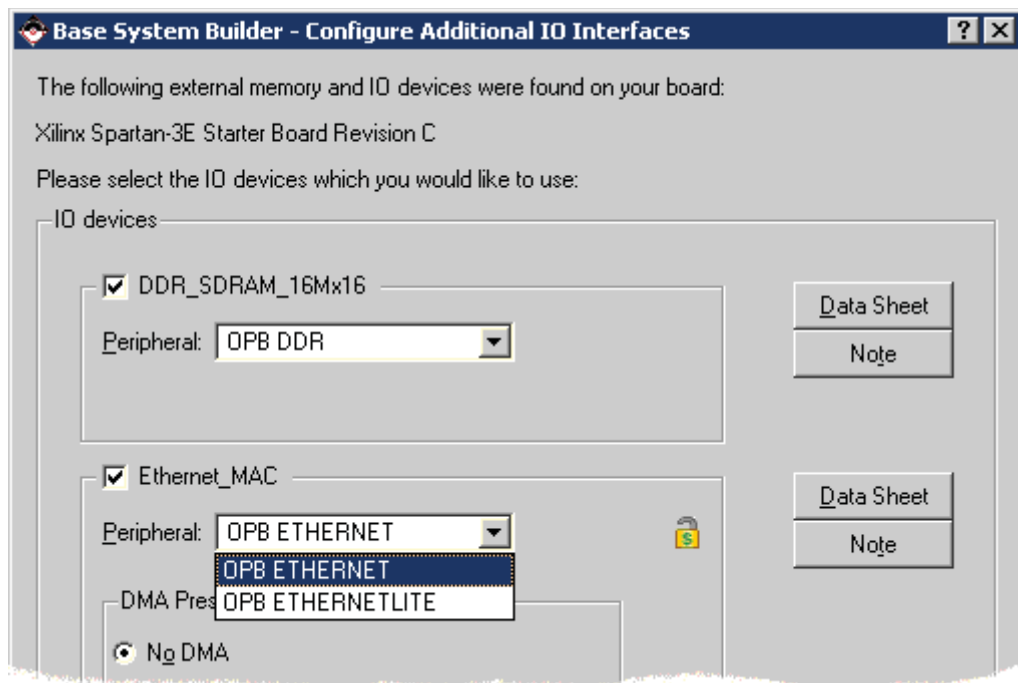
信号名	FPGA の ピン番号	機能
E_TXD<4>	R6	データを PHY に送信します。E_TXD<4> は、MII の送信エラーも示します。
E_TXD<3>	T5	
E_TXD<2>	R5	
E_TXD<1>	T15	
E_TXD<0>	R11	
E_TX_EN	P15	送信イネーブル。
E_TX_CLK	T7	クロックを送信します。100Base-TX モードでは 25MHz、10Base-T モードでは 2.5MHz です。

表 14-1 : FPGA と LAN83C185 イーサネット PHY の接続 (続き)

信号名	FPGA の ピン番号	機能
E_RXD<4>	U14	PHY からデータを受信します。
E_RXD<3>	V14	
E_RXD<2>	U11	
E_RXD<1>	T11	
E_RXD<0>	V8	
E_RX_DV	V2	データ有効信号を受信します。
E_RX_CLK	V3	クロックを受信します。100Base-TX モードでは 25MHz、10Base-T モードでは 2.5MHz です。
E_CRIS	U13	キャリア センス
E_COL	U6	MII 競合検出
E_MDC	P9	シリアル制御クロック
E_MDIO	U5	制御データ入力/出力

MicroBlaze イーサネット IP コア

イーサネット PHY は、主に MicroBlaze のアプリケーションで使用するので、EDK の Base System Builder の一部としてイーサネット MAC が含まれています。これにはフルバージョンと Lite バージョンがあり、どちらにも評価版があります (図 14-3 を参照)。イーサネット MAC Lite コントローラ コアでは、使用される FPGA リソースがフルバージョンより少なく、割り込み、連続データ転送、統計カウンタを必要としないアプリケーションに適しています。



UG230_c14_03_022706

図 14-3 : Spartan-3E スタータ キット ボード用のイーサネット MAC IP コア

イーサネット MAC コアでは、パフォーマンス要件を満たすためにデザイン制約を設定する必要があります。詳細は、OPB イーサネット MAC のデータシートを参照してください。OPB バスのクロック周波数は、イーサネットを 100Mbps で動作させる場合は 65MHz 以上、10Mbps で動作させる場合は 6.5MHz 以上にする必要があります。

イーサネット MAC コアのハードウェア評価版は、シリコン上で約 8 時間動作します。正規版をご購入される場合は、次のザイリンクスの Web サイトにアクセスしてください。

http://www.xilinx.co.jp/ipcenter/processor_central/processor_ip/10-100emac/10-100emac_order_register.htm

UCF ロケーション制約

図 14-4 に、10/100 イーサネット PHY インターフェイスの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```

NET "E_COL"      LOC = "U6" | IOSTANDARD = LVCMOS33 ;
NET "E_CRS"      LOC = "U13" | IOSTANDARD = LVCMOS33 ;
NET "E_MDC"      LOC = "P9" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_MDIO"     LOC = "U5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_RX_CLK"   LOC = "V3" | IOSTANDARD = LVCMOS33 ;
NET "E_RX_DV"    LOC = "V2" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<0>"   LOC = "V8" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<1>"   LOC = "T11" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<2>"   LOC = "U11" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<3>"   LOC = "V14" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<4>"   LOC = "U14" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_CLK"   LOC = "T7" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_EN"    LOC = "P15" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<0>"   LOC = "R11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<1>"   LOC = "T15" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<2>"   LOC = "R5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<3>"   LOC = "T5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<4>"   LOC = "R6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;

```

図 14-4 : 10/100 イーサネット PHY インターフェイスのロケーション制約

関連情報

- Standard Microsystems 社製 SMSC LAN83C185 10/100 イーサネット PHY
<http://www.smSC.com/main/catalog/lan83c185.html>
- ザイリンクス OPB イーサネット MAC (Media Access Controller)
http://www.xilinx.co.jp/bvdocs/ipcenter/data_sheet/opb_ethernet.pdf
- ザイリンクス OPB イーサネット Lite MAC (Media Access Controller)
 イーサネット Lite MAC コントローラ コアでは、使用される FPGA リソースがフルバージョンより少なく、割り込み、連続データ転送、統計カウンタを必要としないアプリケーションに適しています。
http://www.xilinx.co.jp/bvdocs/ipcenter/data_sheet/opb_ethernetlite.pdf
- EDK 8.1i のマニュアル
http://www.xilinx.co.jp/ise/embedded/edk_docs.htm

拡張コネクタ

Spartan-3E スタータ キット ボード には、オフボード のコンポーネント に簡単に接続できる よう、さまざまな拡張コネクタ が含まれています。ボード には、次の I/O 拡張ヘッダ が含まれます (図 15-1 を参照)。

- ヒロセ電機社製 100 ピン エッジ コネクタ (15 個までの LVDS I/O 差動ペアおよび 2 個の入力のみのペアを含む 43 個の FPGA ユーザー I/O ピン)
- 3 個の 6 ピン パリフェラル モジュール接続
- Agilent 社製または Tektronix 社製コネクタレス プローブ用のランディング パッド

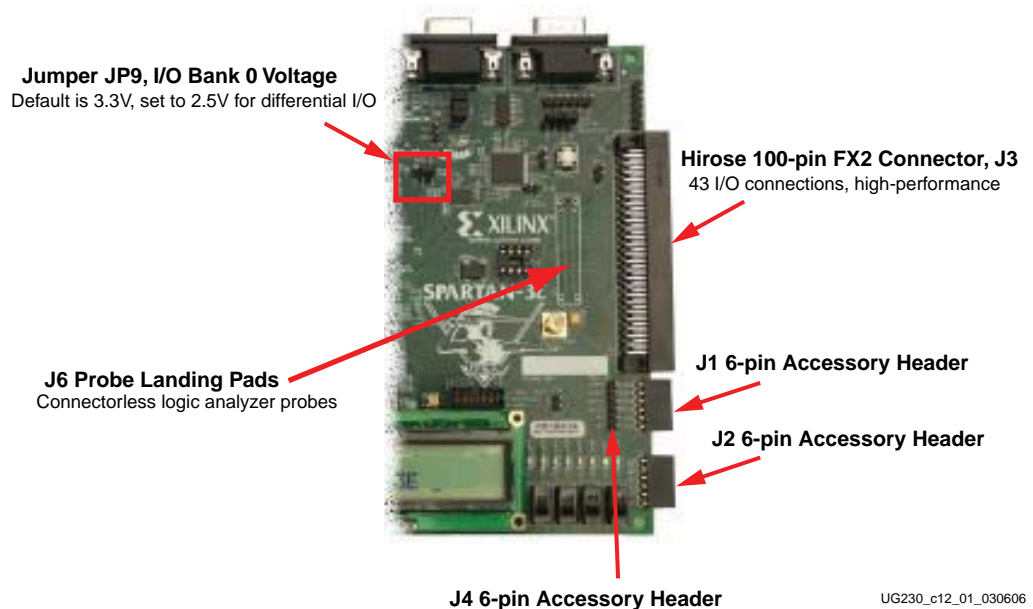


図 15-1 : 拡張ヘッダ

UG230_c12_01_030606

ヒロセ電機社製 100 ピン FX2 エッジ コネクタ (J3)

100 ピン エッジ コネクタは、ボードの右辺に配置されています (図 15-1 を参照)。このコネクタは、ヒロセ電機社製 FX2-100P-1.27DS ヘッダ (1.27mm ピッチ) です。このマニュアルでは、このコネクタを FX2 コネクタと呼びます。

図 15-2 に示すように、FPGA の 43 個の I/O ピンが FX2 に接続されています。5 つのピンを除くすべてが、信号を送受信可能な双方向 I/O ピンです。FX2_IP<38:35> および FX2_IP<40> の 5 つのピンは、入力みのピンです。これらのピンは、表 15-1 で薄緑色で示されており、FX2 を駆動することはできませんが、信号を受信することはできます。

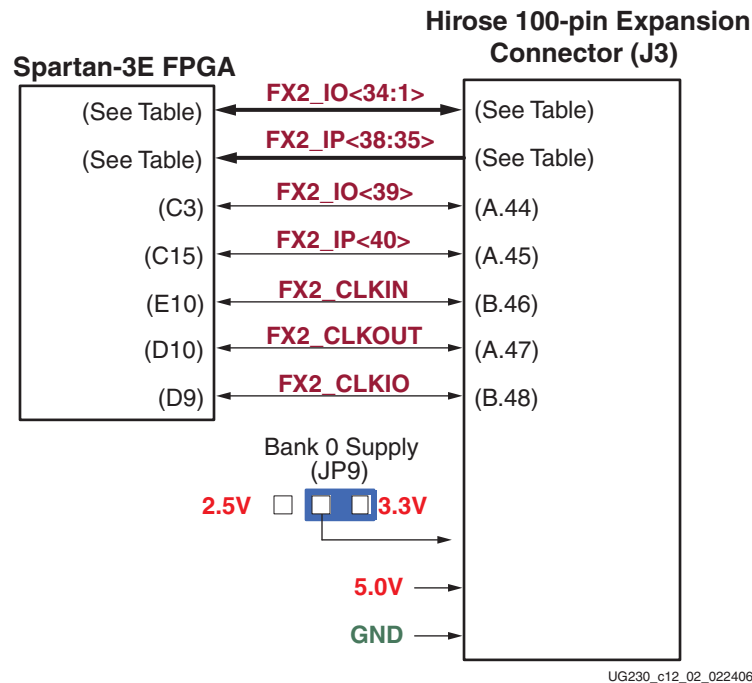


図 15-2：ヒロセ電機社製 100 ピン エッジ コネクタへの FPGA の接続

3つの信号がボードと FX2 コネクタ間のクロック信号用に予約されていますが、これらは I/O ピンに接続されています。

コネクタへの電源供給

Spartan-3E スタータ キット ボードは、FX2 コネクタおよび接続されているボードに対して、2つの電源から電力を供給します (図 15-2 を参照)。5.0V の電源は、接続されているボード上の 5V ロジックまたは電圧レギュレータに電力を供給します。

もう 1 つの電源は、FPGA の I/O バンク 0 と同じ電圧を供給します。FX2 コネクタに接続されるすべての FPGA I/O は、バンク 0 にあります。デフォルトでは、I/O バンク 0 に 3.3V が供給されますが、ジャンパ JP9 を使用すると 2.5V に変更できます。差動電圧標準 (例：RSDS、LVDS) などの一部の FPGA I/O 標準では、2.5V の出力電源が必要です。

コネクタで高速信号をサポートするには、FX2 コネクタの B サイドのほとんどのピンを GND に接続します。

コネクタのピン配置と FPGA の接続

表 15-1 に、FX2 コネクタのピン配置と FPGA ピンの接続を示します。FX2 コネクタには 50 個の接続を持つコネクタが 2 列あり、この表に黄色で示されています。

また、8 個の LED、3 つの 6 ピンのアクセサリ ヘッダ (J1、J2、J4)、およびコネクトレス デバッグ ヘッダ (J6) への共有接続も表 15-1 に示します。

表 15-1 : FX2 コネクタのピン配置と FPGA の接続 (J3)

信号名	FPGA ピン	共有されるヘッダ接続					FX2 コネクタ		FPGA ピン	信号名
		LED	J1	J2	JP4	J6	A (上)	B (下)		
	VCCO_0						1	1		SHIELD
	VCCO_0						2	2	GND	GND
TMS_B							3	3		TDO_XC2C
JTSEL							4	4		TCK_B
TDO_FX2							5	5	GND	GND
FX2_IO1	B4		◆			◆	6	6	GND	GND
FX2_IO2	A4		◆			◆	7	7	GND	GND
FX2_IO3	D5		◆			◆	8	8	GND	GND
FX2_IO4	C5		◆			◆	9	9	GND	GND
FX2_IO5	A6			◆		◆	10	10	GND	GND
FX2_IO6	B6			◆		◆	11	11	GND	GND
FX2_IO7	E7			◆		◆	12	12	GND	GND
FX2_IO8	F7			◆		◆	13	13	GND	GND
FX2_IO9	D7				◆	◆	14	14	GND	GND
FX2_IO10	C7				◆	◆	15	15	GND	GND
FX2_IO11	F8				◆	◆	16	16	GND	GND
FX2_IO12	E8				◆	◆	17	17	GND	GND
FX2_IO13	F9	LD7				◆	18	18	GND	GND
FX2_IO14	E9	LD6				◆	19	19	GND	GND
FX2_IO15	D11	LD5				◆	20	20	GND	GND
FX2_IO16	C11	LD4				◆	21	21	GND	GND
FX2_IO17	F11	LD3				◆	22	22	GND	GND
FX2_IO18	E11	LD2				◆	23	23	GND	GND
FX2_IO19	E12	LD1					24	24	GND	GND
FX2_IO20	F12	LD0					25	25	GND	GND
FX2_IO21	A13						26	26	GND	GND
FX2_IO22	B13						27	27	GND	GND
FX2_IO23	A14						28	28	GND	GND
FX2_IO24	B14						29	29	GND	GND
FX2_IO25	C14						30	30	GND	GND
FX2_IO26	D14						31	31	GND	GND
FX2_IO27	A16						32	32	GND	GND
FX2_IO28	B16						33	33	GND	GND
FX2_IO29	E13						34	34	GND	GND
FX2_IO30	C4						35	35	GND	GND

表 15-1：FX2 コネクタのピン配置と FPGA の接続 (J3) (続き)

信号名	FPGA ピン	共有されるヘッダ接続					FX2 コネクタ		FPGA ピン	信号名
		LED	J1	J2	JP4	J6	A (上)	B (下)		
FX2_IO31	B11						36	36	GND	GND
FX2_IO32	A11						37	37	GND	GND
FX2_IO33	A8						38	38	GND	GND
FX2_IO34	G9						39	39	GND	GND
FX2_IP35	D12						40	40	GND	GND
FX2_IP36	C12						41	41	GND	GND
FX2_IP37	A15						42	42	GND	GND
FX2_IP38	B15						43	43	GND	GND
FX2_IO39	C3						44	44	GND	GND
FX2_IP40	C15						45	45	GND	GND
GND	GND						46	46	E10	FX2_CLKIN
FX2_CLKOUT	D10						47	47	GND	GND
GND	GND						48	48	D9	FX2_CLKIO
5.0V							49	49		5.0V
5.0V							50	50		SHIELD

互換性のあるボード

Spartan-3E スタータキットボードの FX2 コネクタと互換性のあるボードは、次のとおりです。

- Digilent 社製 VDEC1 ビデオ デコーダ ボード
<http://www.digilentinc.com/Products/Detail.cfm?Prod=VDEC1>

レセプタクル コネクタの接続

Spartan-3E スタータキットボードでは、ヒロセ電機社製 FX2-100P-1.27DS ヘッダ コネクタが使用されます。このヘッダには、ボード上のコネクタやノンロックケーブル コネクタなどの、互換性のある 100 ピン レセプタクル コネクタを接続できます。

差動 I/O

表 15-2 に示すように、FX2 コネクタ (ヘッダ J3) では、LVDS または RSDS I/O 規格を使用して、15 個までの差動 I/O ペアと 2 つの入力のみペアがサポートされます。すべての I/O ペアでは、Spartan-3E のデータシートに示すように、差動入力終端 (DIFF_TERM) がサポートされます。セレクト ペアには、外部終端抵抗用にオプションのランディングパッドがあります。

これらの信号は、最高のパフォーマンスに要求される一致した差動インピーダンスで配線されているわけではありませんが、スキューを最小限に抑えるためトレースの長さはほぼ同じになっています。

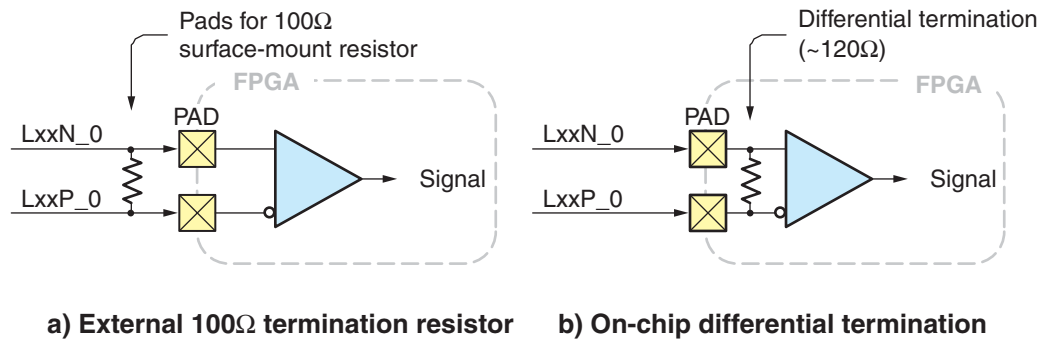
表 15-2 : 差動 I/O ペア

差動ペア	信号名	FPGA ピン	FPGA ピン名	方向	DIFF_TERM	外部抵抗
1	FX2_IO1	B4	IO_L24N_0	I/O	あり	
	FX2_IO2	A4	IO_L24P_0	I/O	あり	
2	FX2_IO3	D5	IO_L23N_0	I/O	あり	
	FX2_IO4	C5	IO_L23P_0	I/O	あり	
3	FX2_IO5	A6	IO_L20N_0	I/O	あり	
	FX2_IO6	B6	IO_L20P_0	I/O	あり	
4	FX2_IO7	E7	IO_L19N_0	I/O	あり	
	FX2_IO8	F7	IO_L19P_0	I/O	あり	
5	FX2_IO9	D7	IO_L18N_0	I/O	あり	
	FX2_IO10	C7	IO_L18P_0	I/O	あり	
6	FX2_IO11	F8	IO_L17N_0	I/O	あり	
	FX2_IO12	E8	IO_L17P_0	I/O	あり	
7	FX2_IO13	F9	IP_L15N_0	I/O	あり	
	FX2_IO14	E9	IP_L15P_0	I/O	あり	
8	FX2_IO15	D11	IP_L09N_0	I/O	あり	
	FX2_IO16	C11	IP_L09P_0	I/O	あり	
9	FX2_IO17	F11	IO_L08N_0	I/O	あり	R202
	FX2_IO18	E11	IO_L08P_0	I/O	あり	
10	FX2_IO19	E12	IO_L06N_0	I/O	あり	R203
	FX2_IO20	F12	IO_L06P_0	I/O	あり	
11	FX2_IO21	A13	IO_L05P_0	I/O	あり	R204
	FX2_IO22	B13	IO_L05N_0	I/O	あり	
12	FX2_IO23	A14	IO_L04N_0	I/O	あり	R205
	FX2_IO24	B14	IO_L04P_0	I/O	あり	
13	FX2_IO25	C14	IO_L03N_0	I/O	あり	R206
	FX2_IO26	D14	IO_L03P_0	I/O	あり	
14	FX2_IO27	A16	IO_L01N_0	I/O	あり	R207
	FX2_IO28	B16	IO_L01P_0	I/O	あり	
15	FX2_IP35	D12	IP_L07N_0	入力		R208
	FX2_IP36	C12	IP_L07P_0	入力		
16	FX2_IP37	A15	IP_L02N_0	入力		R209
	FX2_IP38	B15	IP_L02P_0	入力		
17	FX2_CLKIN	E10	IO_L11N_0/ GCLK5	I/O	あり	R210
	FX2_CLKOUT	D10	IO_L11P_0/ GCLK4	I/O	あり	

差動入力の使用

LVDS および RSDS 差動入力には、入力終端が必要です。これには、2つの方法があります。1つ目の方法では、[図 15-3a](#) に示すように、外部終端抵抗を使用します。ボードには、100Ω の外部終端抵抗用にランディングパッドがあります。抵抗は含まれていません。[表 15-2](#) にリストされている抵抗の指示子は、シルクスクリーンに示されています。ランディングパッドは、ボードの上辺と下辺、FPGA と FX2 コネクタの間にあります。ボードには抵抗は含まれていないので、差動入力ペア 15 および 16 を使用する場合は、外部終端が必要です。

2つ目の方法では、[図 15-3b](#) に示すように、Spartan-3E の機能であるオンチップ差動終端を使用します。この終端を使用するには、差動 I/O 信号に DIFF_TERM 属性を設定します。各差動 I/O ピンには、約 120Ω の内部終端抵抗と同様の機能を果たす回路が含まれています。オンチップ差動終端は、I/O ペアでのみ使用可能で、入力のみペア (15 および 16) では使用できません ([表 15-2](#) を参照)。



UG230_c12_03_022406

図 15-3：差動入力終端方法

[図 15-4](#) および [図 15-5](#) に、ボードの上辺および下辺にある差動入力終端抵抗のランディングパッドの位置を示します。各差動ペアに関連付けられている抵抗は、[表 15-2](#) に示されています。

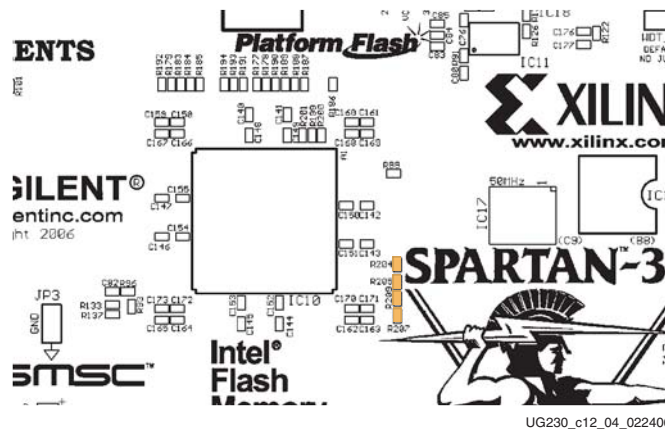


図 15-4：ボードの上辺にある終端レジスタの位置



図 15-5 : ボードの下辺にある終端レジスタの位置

差動出力の使用

差動入力信号には、特定の電圧は必要ありません。LVDS および RSFS の差動出力信号には、I/O バンク 0 に 2.5V の電源が必要です。ボードでは、バンク 0 に 3.3V または 2.5V を供給できます。123 ページの図 15-1 では、ジャンパ JP9 の場所が赤い四角で示されています。

FX2 コネクタに差動出力を使用する場合は、ジャンパ JP9 を 2.5V に設定してください。ジャンパが正しく設定されていない場合は、出力は正しく切り替わりますが、信号のレベルは仕様を満たしません。

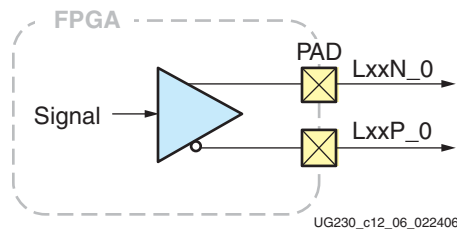


図 15-6 : 差動出力

UCF ロケーション制約

図 15-7 に、すべての接続でシングルエンド I/O 規格が使用されている場合に、FX2 の I/O ピンと I/O 規格を指定する UCF 制約を示します。これらのヘッダ接続は、132 ページの図 15-11 に示すように、6 ピン アクセサリ ヘッダと共有されます。

```
# ===== FX2 Connector (FX2) =====
NET "FX2_CLKIN" LOC = "E10" | IOSTANDARD = LVCMOS33 ;
NET "FX2_CLKIO" LOC = "D9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_CLKOUT" LOC = "D10" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J1 6-pin accessory header
NET "FX2_IO<1>" LOC = "B4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<2>" LOC = "A4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<3>" LOC = "D5" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<4>" LOC = "C5" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J2 6-pin accessory header
NET "FX2_IO<5>" LOC = "A6" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<6>" LOC = "B6" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<7>" LOC = "E7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<8>" LOC = "F7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J4 6-pin accessory header
NET "FX2_IO<9>" LOC = "D7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<10>" LOC = "C7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<11>" LOC = "F8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<12>" LOC = "E8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# The discrete LEDs are shared with the following 8 FX2 connections
#NET "FX2_IO<13>" LOC = "F9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<14>" LOC = "E9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<15>" LOC = "D11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<16>" LOC = "C11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<17>" LOC = "F11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<18>" LOC = "E11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<19>" LOC = "E12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<20>" LOC = "F12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<21>" LOC = "A13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<22>" LOC = "B13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<23>" LOC = "A14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<24>" LOC = "B14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<25>" LOC = "C14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<26>" LOC = "D14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<27>" LOC = "A16" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<28>" LOC = "B16" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<29>" LOC = "E13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<30>" LOC = "C4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<31>" LOC = "B11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<32>" LOC = "A11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<33>" LOC = "A8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<34>" LOC = "G9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<35>" LOC = "D12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<36>" LOC = "C12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<37>" LOC = "A15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<38>" LOC = "B15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<39>" LOC = "C3" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<40>" LOC = "C15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
```

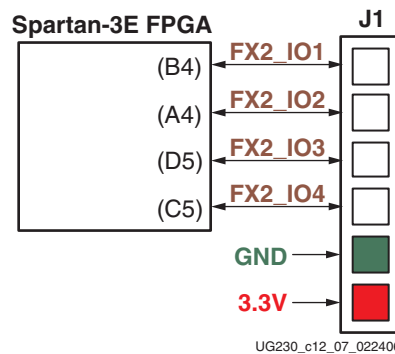
図 15-7：アクセサリ ヘッダのロケーション制約の例

6ピン アクセサリ ヘッダ

6ピン アクセサリ ヘッダでは、さまざまな Digilent 社製のペリフェラル モジュール (134 ページの「関連情報」を参照) を使用して I/O インターフェイスを簡単に拡張できます。6ピン ヘッダの位置は、123 ページの図 15-1 に示されています。

ヘッダ J1

ヘッダ J1 は、図 15-8 に示すように、ボードの右辺にある、上の 6ピン コネクタです。このヘッダでは、メス型の 6ピン 90° ソケットを使用します。4つの FPGA ピンがヘッダ J1 の FX2_IO<4:1> に接続されています。これらの 4つの信号は、FX2 コネクタと共有されます。J1 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。

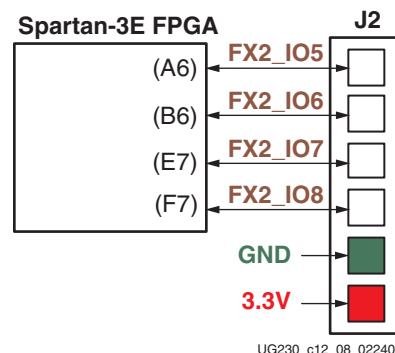


UG230_c12_07_022406

図 15-8 : J1 アクセサリ ヘッダへの FPGA の接続

ヘッダ J2

ヘッダ J2 は、図 15-9 に示すように、ボードの右辺にある、下の 6ピン コネクタです。このヘッダでは、メス型の 6ピン 90° ソケットを使用します。4つの FPGA ピンがヘッダ J2 の FX2_IO<8:5> に接続されています。これらの 4つの信号は、FX2 コネクタと共有されます。J2 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。



UG230_c12_08_022406

図 15-9 : J2 アクセサリ ヘッダへの FPGA の接続

ヘッダ J4

ヘッダ J4 は、図 15-10 に示すように、ヘッダ J1 のすぐ左側に配置されています。このヘッダでは、0.1 インチのステイク ピンで構成された 6 ピンヘッダを使用します。4 つの FPGA ピンがヘッダ J4 の FX2_IO<12:9> に接続されています。これらの 4 つの信号は、FX2 コネクタと共有されます。J4 ソケットに取り付けられたアクセサリ ボードには、一番下のピンから 3.3V の電源が供給されます。

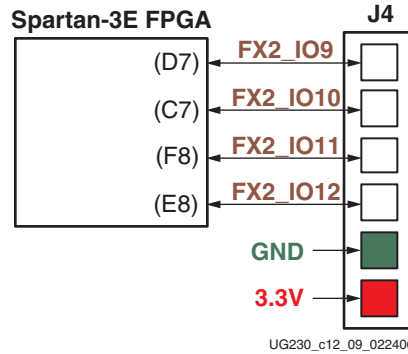


図 15-10：J4 アクセサリ ヘッダへの FPGA の接続

UCF ロケーション制約

図 15-11 に、アクセサリ ヘッダの I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。これらのヘッダ接続は、130 ページの図 15-7 に示すように、FX2 コネクタと共有されます。

```
# ==== 6-pin header J1 ====
# These four connections are shared with the FX2 connector
#NET "J1<0>" LOC = "B4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<1>" LOC = "A4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<2>" LOC = "D5" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<3>" LOC = "C5" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

# ==== 6-pin header J2 ====
# These four connections are shared with the FX2 connector
#NET "J2<0>" LOC = "A6" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<1>" LOC = "B6" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<2>" LOC = "E7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<3>" LOC = "F7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

# ==== 6-pin header J4 ====
# These four connections are shared with the FX2 connector
#NET "J4<0>" LOC = "D7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<1>" LOC = "C7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<2>" LOC = "F8" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<3>" LOC = "E8" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
```

図 15-11：アクセサリ ヘッダのロケーション制約の例

コネクタレス デバッグ ポート ランディング パッド (J6)

コネクタレス デバッグ ポートのランディング パッドは、ヘッダ J6 として供給されます (123 ページの図 15-1 を参照)。ボード上に物理的なコネクタはなく、コネクタレス プローブ (Agilent 社のものなど) がロジック アナライザへのインターフェイスとなります。このデバッグ ポートは主に、ザイリックス ChipScope Pro ソフトウェアで Agilent 社のダイナミックプローブを使用する場合に使用するためのものですが、FPGA Editor のプローブ コマンドを使用して、Agilent 社製または Tektronix 社製のプローブのどちらでも、ChipScope Pro ソフトウェアなしで使用できます。ChipScope Pro、プローブ、およびコネクタの詳細は、134 ページの「関連情報」を参照してください。

表 15-3 に、コネクタのピン配置を示します。コネクタに接続されているのは 18 個の FPGA ピンのみで、その他のコネクタ パッドは接続されていません。この 18 個の FPGA ピンはすべて、FX2 コネクタ (J3) および 6 ピンのアクセサリ ポート コネクタ (J1、J2、J4) と共有されます。これらのピンがどのように共有されるかは、125 ページの表 15-1 を参照してください。

表 15-3 : コネクタレス デバッグ ポート ランディング パッド (J6)

信号名	FPGA ピン	コネクタレス ランディング パッド		FPGA ピン	信号名
FX2_IO1	B4	A1	B1	GND	GND
FX2_IO2	A4	A2	B2	D5	FX2_IO3
GND	GND	A3	B3	C5	FX2_IO4
FX2_IO5	A6	A4	B4	GND	GND
FX2_IO6	B6	A5	B5	E7	FX2_IO7
GND	GND	A6	B6	F7	FX2_IO8
FX2_IO9	D7	A7	B7	GND	GND
FX2_IO10	C7	A8	B8	F8	FX2_IO11
GND	GND	A9	B9	E8	FX2_IO12
FX2_IO13	F9	A10	B10	GND	GND
FX2_IO14	E9	A11	B11	D11	FX2_IO15
GND	GND	A12	B12	C11	FX2_IO16
FX2_IO17	F11	A13	B13	GND	GND
FX2_IO18	E11	A14	B14		
		A15	B15		
		A16	B16		
		A17	B17		
		A18	B18		
		A19	B19		
		A20	B20		
		A21	B21		
		A22	B22		
		A23	B23		
		A24	B24		
		A25	B25		
		A26	B26		
		A27	B27		

関連情報

- ヒロセ電機社製コネクタ
<http://www.hirose.co.jp/>
- FX2 シリーズ コネクタのデータシート
http://www.hirose.co.jp/catalogj_hp/j57220088.pdf
- Digilent 社製ペリフェラル モジュール
<http://www.digilentinc.com/Products/Catalog.cfm?Nav1=Products&Nav2=Peripheral&Cat=Peripheral>
- ザイリンクス ChipScope Pro
http://www.xilinx.co.jp/ise/optional_prod/cspro.htm
- Agilent 社製 B4655A ロジック アナライザ用 FPGA ダイナミック プローブ
<http://www.home.agilent.com/USeng/nav/-536898189.536883660/pd.html?cmpid=92641>
- Agilent 社製 5404A/6A Pro シリーズ ソフト タッチ コネクタ
http://www.home.agilent.com/cgi-bin/pub/agilent/Product/cp_Product.jsp?NAV_ID=-536898227.0.00
- Tektronix 社製 P69xx プローブ モジュール (D-Max 技術を使用)
http://www.tek.com/products/accessories/logic_analyzers/p6800_p6900.html

XC2C64A CoolRunner-II CPLD

Spartan-3E スタータ キット ボードには、ザイリンクス XC2C64A CoolRunner-II CPLD が搭載されています。CPLD はプログラマブルで、ユーザー アプリケーションで使用可能です。CPLD の一部は、FPGA コンフィギュレーション メモリ (ザイリンクス Platform Flash PROM および Intel 社製 StrataFlash PROM) との動作を制御するために予約されています。そのため、この CPLD ではユーザー アプリケーション以外に次の機能を提供する必要があります。

- FPGA がマスタ シリアル コンフィギュレーション モード (FPGA_M<2:0>=000) の場合、XCF04S Platform Flash PROM に対してアクティブ Low のイネーブル信号を送信する。その他のコンフィギュレーション モードでは、Platform Flash PROM はディスエーブルになります。CPLD を使用すると、ボード上のジャンパの数を削減でき、使用可能な FPGA コンフィギュレーション メモリ ソースとの通信を簡略化できます。
- FPGA が BPI-Up コンフィギュレーション モード (FPGA_M<2:0>=010、DONE=0) の場合、StrataFlash PROM の上位 5 つのアドレス ラインを 2 進数 00000 に設定する。FPGA が BPI-Down コンフィギュレーション モード (FPGA_M<2:0>=011、DONE=0) の場合、StrataFlash PROM の上位 5 つのアドレス ラインを 2 進数 11111 に設定する。BPI コンフィギュレーション モード以外の場合、または FPGA の DONE ピンが High の場合は、上位 5 つのアドレス ラインは ZZZZZ に設定されます。この動作は、BPI モードでの FPGA の上位アドレス ラインの動作と同じです。CPLD を追加して同じ動作をさせるのは、将来のリファレンス デザインで特殊なコンフィギュレーション機能を実現するためです。通常の BPI モードのアプリケーションでは、CPLD は不要です。

上記の機能に必要とされる部分を除き、13 ~ 21 のユーザー I/O ピンと 58 個のマクロセルをユーザー アプリケーションに使用できます。

ジャンパ JP10 (WDT_EN) は、CPLD の XC_WDT_EN 信号のステートを定義します。デフォルトではこのジャンパは空で、信号は High になります。

CPLD からの XC_PROG_B 出力は、使用する場合はオープン ドレイン出力 (Low またはハイ インピーダンスにし、High にはしない) として設定する必要があります。この信号は、FPGA の PROG_B プログラム ピンに直接接続します。

StrataFlash PROM の最上位アドレス ビット SF_A<24> は、FX2 コネクタ信号 FX2_IO<32> と同じです。16 MB StrataFlash PROM で物理的に使用されるのは、下位の 24 ビット (SF_A<23:0>) のみです。アドレス ビット SF_A<24> は、集積度の高い StrataFlash PROM に移行した場合に使用します。

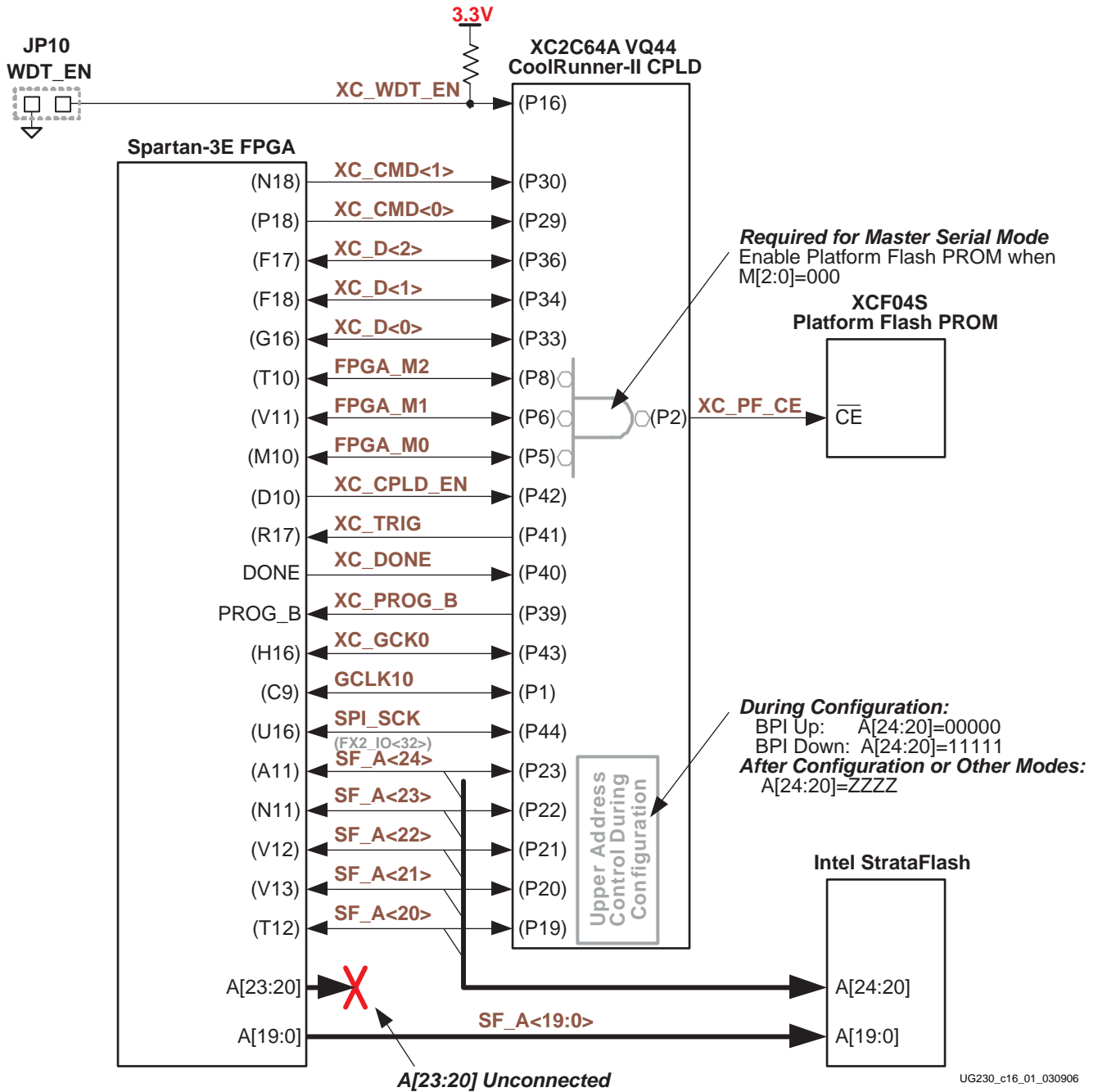


図 16-1 : XC2C64A CoolRunner-II CPLD でのマスタ シリアルおよび BPI コンフィギュレーション モードの制御

UCF ロケーション制約

次に、Spartan-3E FPGA 用および XC2C64A CoolRunner-II CPLD 用の制約を示します。

CPLD への FPGA の接続

図 16-2 に、CPLD への FPGA の接続に対して I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "XC_CMD<1>" LOC = "N18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_CMD<0>" LOC = "P18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_D<2>" LOC = "F17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_D<1>" LOC = "F18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_D<0>" LOC = "G16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "FPGA_M2" LOC = "T10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "FPGA_M1" LOC = "V11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "FPGA_M0" LOC = "M10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_CPLD_EN" LOC = "B10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "XC_TRIG" LOC = "R17" | IOSTANDARD = LVCMOS33 ;
NET "XC_GCK0" LOC = "H16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "GCLK10" LOC = "C9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SPI_SCK" LOC = "U16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
# SF_A<24> is the same as FX2_IO<32>
NET "SF_A<24>" LOC = "A11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<23>" LOC = "N11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<22>" LOC = "V12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<21>" LOC = "V13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<20>" LOC = "T12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
```

図 16-2 : CPLD への FPGA の接続におけるロケーション制約の例

CPLD

図 16-3 に、CPLD の I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "XC_WDT_EN" LOC = "P16" | IOSTANDARD = LVCMOS33 ;
NET "XC_CMD<1>" LOC = "P30" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_CMD<0>" LOC = "P29" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_D<2>" LOC = "P36" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_D<1>" LOC = "P34" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_D<0>" LOC = "P33" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "FPGA_M2" LOC = "P8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "FPGA_M1" LOC = "P6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "FPGA_M0" LOC = "P5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_CPLD_EN" LOC = "P42" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_TRIG" LOC = "P41" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_DONE" LOC = "P40" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_PROG_B" LOC = "P39" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "XC_GCK0" LOC = "P43" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "GCLK10" LOC = "P1" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SPI_SCK" LOC = "P44" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
# SF_A<24> is the same as FX2_IO<32>
NET "SF_A<24>" LOC = "P23" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SF_A<23>" LOC = "P22" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SF_A<22>" LOC = "P21" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SF_A<21>" LOC = "P20" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
NET "SF_A<20>" LOC = "P19" | IOSTANDARD = LVCMOS33 | SLEW = SLOW ;
```

図 16-3 : XC2C64A CPLD のロケーション制約の例

関連情報

- CoolRunner-II CPLD ファミリのデータシート
<http://direct.xilinx.co.jp/bvdocs/publications/ds090.pdf>
- XC2C64A CoolRunner-II CPLD のデータシート
<http://direct.xilinx.co.jp/bvdocs/publications/ds311.pdf>
- Spartan-3E スタータ キットのデフォルトの XC2C64A CPLD デザイン
<http://www.xilinx.co.jp/s3estarter>

DS2432 1-Wire SHA-1 EEPROM

Spartan-3E スタータ キット ボード には、Maxim 社製 SHA-1 エンジン統合 DS2432 シリアル EEPROM が含まれています。図 17-1 に示すように、DS2432 EEPROM では Maxim 社製 1 ワイヤ インターフェイスが使用されており、1 本のワイヤを使用して電源供給とシリアル通信の両方を行います。

DS2432 EEPROM には、FPGA コンフィギュレーション ビットストリームのコピー防止機能があります。「関連情報」に掲載されているザイリンクスのアプリケーション ノート XAPP780 には、インプリメンテーション方法が記述されています。

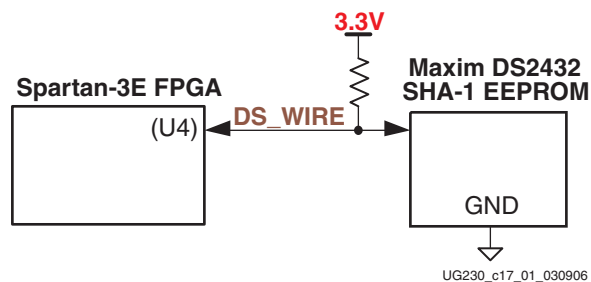


図 17-1 : SHA-1 EEPROM

UCF ロケーション制約

図 17-2 に、DS2432 SHA-1 EEPROM への FPGA の接続に対して I/O ピン割り当てと I/O 規格を指定する UCF 制約を示します。

```
NET "DS_WIRE" LOC = "U4" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
```

図 17-2 : DS2432 SHA-1 EEPROM の UCF ロケーション制約

関連情報

- Maxim 社製 SHA-1 エンジン統合 DS2432 1-Wire EEPROM
http://japan.maxim-ic.com/quick_view2.cfm?qv_pk=2914
- アプリケーション ノート XAPP780 : FPGA IFF Copy Protection Using Dallas Semiconductor/Maxim DS2432 Secure EEPROMs
<http://www.xilinx.co.jp/bvdocs/appnotes/xapp780.pdf>

回路図

この付録では、次のコンポーネントの回路図を示します。

- 「FX2 拡張ヘッダ、6 ピンヘッダ、コネクタレスプローブヘッダ」
- 「RS-232 ポート、VGA ポート、PS/2 ポート」
- 「イーサネット PHY、Magnetics、RJ-11 コネクタ」
- 「電圧レギュレータ」
- 「FPGA コンフィギュレーション設定、Platform Flash PROM、SPI シリアル Flash、JTAG 接続」
- 「FPGA I/O バンク 0 および 1、オシレータ」
- 「FPGA I/O バンク 2 および 3」
- 「電源デカップリング」
- 「XC2C64A CoolRunner-II CPLD」
- 「Linear Technology 社製 ADC および DAC」
- 「Intel 社製 StrataFlash パラレル NOR Flash メモリ、Micron 社製 DDR SDRAM」
- 「ボタン、スイッチ、ロータリ エンコーダ、キャラクタ LCD」
- 「DDR SDRAM 直列終端、FX2 コネクタ差動終端」

FX2 拡張ヘッダ、6 ピン ヘッダ、コネクタレス プローブ ヘッダ

ヘッダ J1、J2、および J4 は、Digilent 社製のアクセサリ ボード フォーマットと互換性のある 6 ピン コネクタです。

ヘッダ J3A および J3B は、ボードの右辺に配置されている FX2 拡張コネクタへの接続です。

ヘッダ J5 には、DA コンバータ (DAC) からの 4 つのアナログ出力が含まれます。

ヘッダ J6 は、Agilent 社製または Tektronix 社製のコネクタレス プローブ用のランディング パッドです。

ヘッダ J7 には、プログラマブル プリアンプ (AMP) および 2 チャネル AD コンバータ (ADC) への 2 つのアナログ入力が含まれます。

左下の図は、JTAG チェーンを示します。

詳細は、第 15 章「拡張コネクタ」を参照してください。

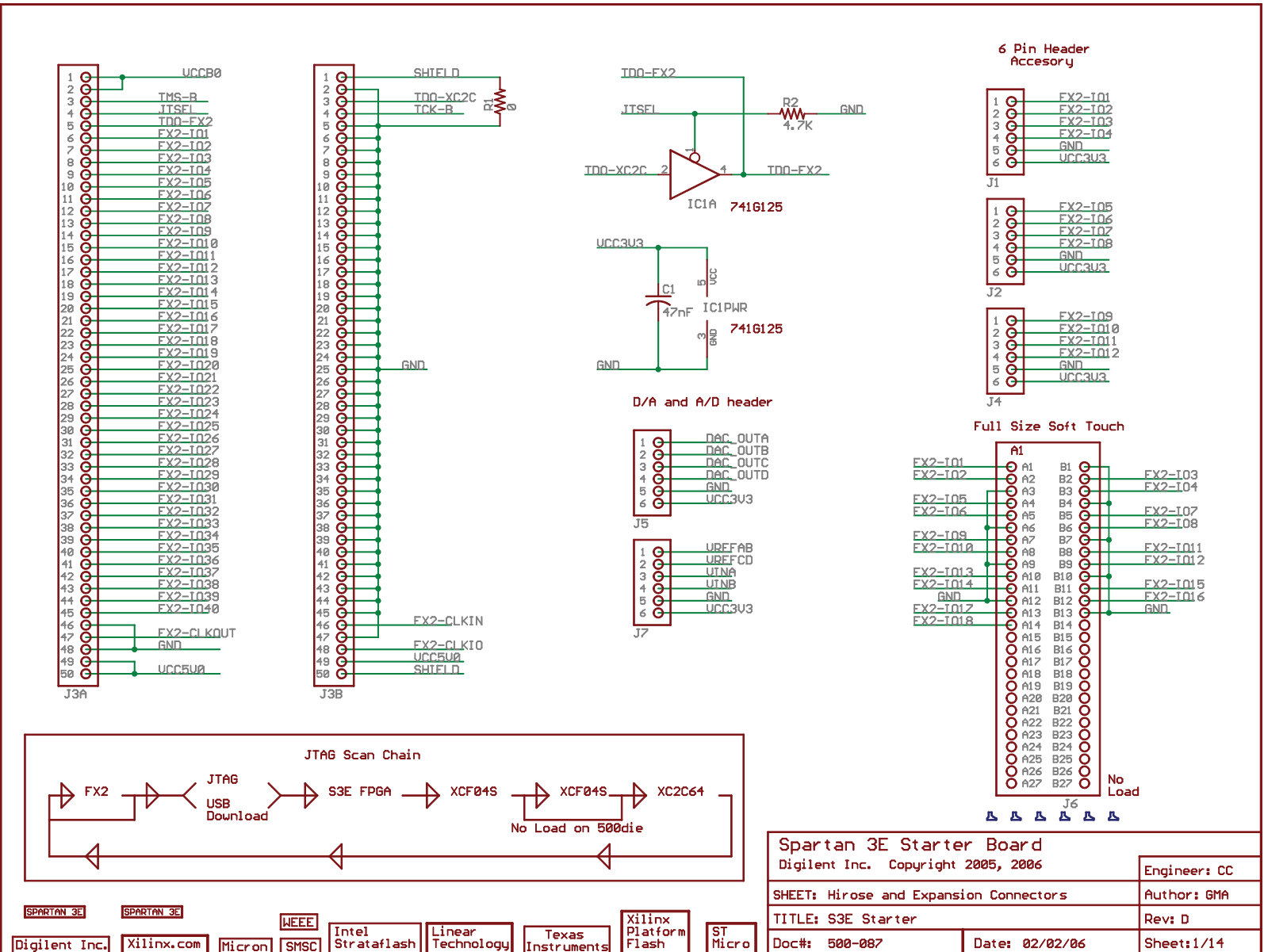


図 A-1 : 回路図 1

UG230_Aa_01_021606



RS-232 ポート、VGA ポート、PS/2 ポート

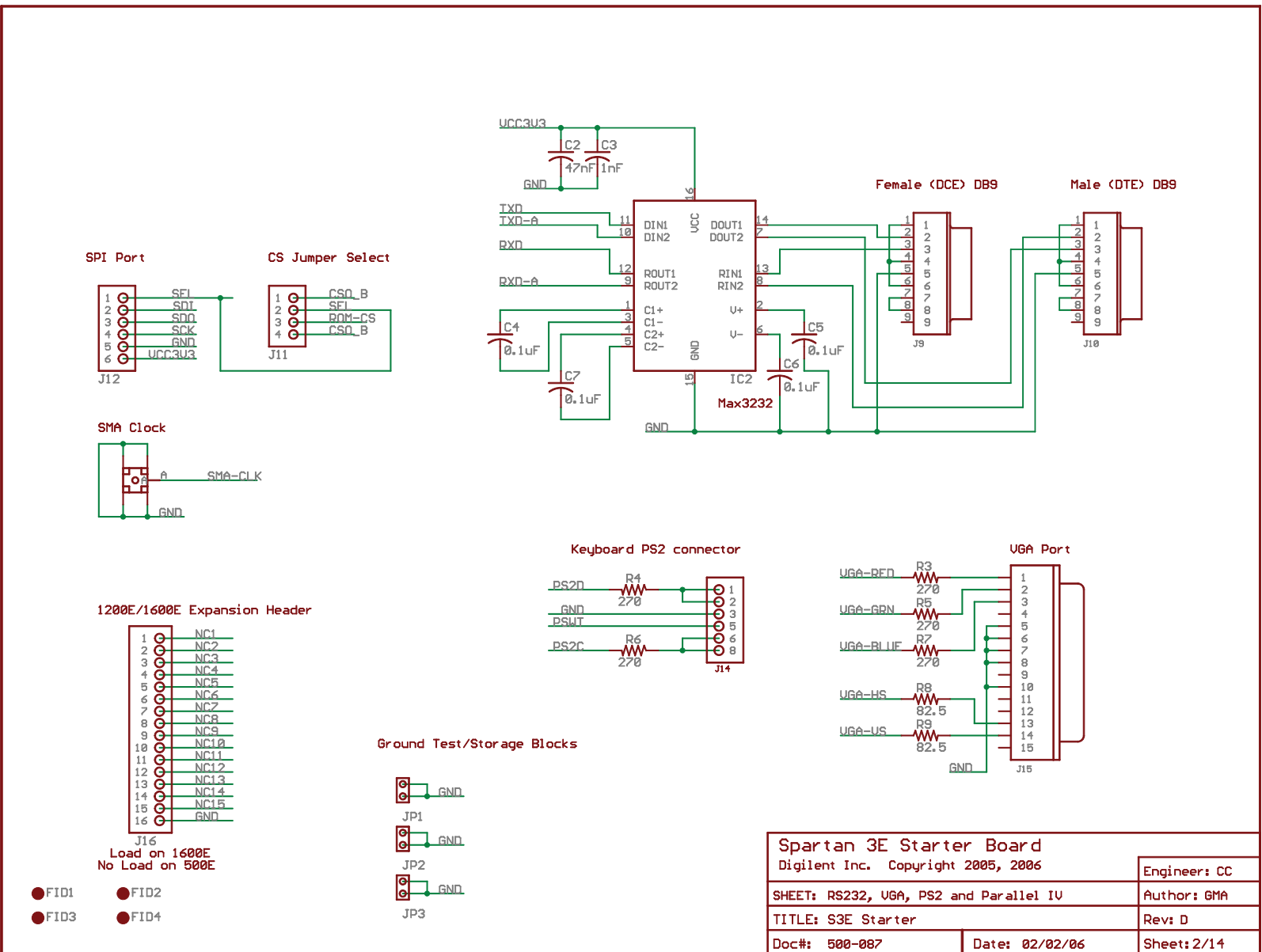
IC2 は、Maxim 社製 LVTTTL/RS-232 レベルコンバータです。シリアルチャネルの 1 つはメス型の DB9 DCE コネクタ (J9) に接続され、もう 1 つはオス型の DB9 DTE コネクタ (J10) に接続されます。詳細は、第 7 章「RS-232 シリアルポート」を参照してください。

コネクタ J14 は、PS/2 型マウス/キーボード コネクタで、5V の電源が供給されます。詳細は、第 8 章「PS/2 マウス/キーボード ポート」を参照してください。

コネクタ J15 は VGA コネクタで、ほとんどの VGA 互換モニタおよびフラット スクリーン ディスプレイの駆動に適しています。詳細は、第 6 章「VGA ディスプレイ ポート」を参照してください。

ヘッダ J12 では、SPI シリーズ Flash のプログラムがサポートされます。ジャンパ J11 は、アプリケーションでの SPI シリアル Flash のイネーブル方法を制御します。詳細は、第 12 章「SPI シリアル Flash」を参照してください。

SMA コネクタを使用すると、外部クロックソースで FPGA のグローバルクロック入力を駆動できます。また、FPGA から高速クロックを SMA コネクタを介して別のボードに供給することも可能です。詳細は、第 3 章「クロックソース」を参照してください。



Spartan 3E Starter Board		Engineer: CC
Diligent Inc. Copyright 2005, 2006		Author: GMA
SHEET: RS232, VGA, PS2 and Parallel IV		Rev: D
TITLE: S3E Starter		Rev: D
Doc#: 500-087	Date: 02/02/06	Sheet: 2/14

図 A-2 : 回路図 2

UG230_Aa_02_021806

イーサネット PHY、Magnetics、RJ-11 コネクタ

IC6 は、25MHz オシレータ付きの SMSC 10/100 イーサネット PHY です。PHY を使用するには、FPGA にイーサネット MAC をインプリメントする必要があります。

J19 は、10/100 イーサネット PHY に関連付けられた RJ-11 イーサネット コネクタです。

詳細は、第 14 章「10/100 イーサネット物理レイヤ インターフェイス」を参照してください。

電圧レギュレータ

IC7 は、[Texas Instruments](#) 社製 [TPS75003](#) トリプル出力レギュレータです。このレギュレータは、FPGA の VCCINT に 1.2V、FPGA の VCCAUX に 2.5V、ボード上のほかのコンポーネントおよび FPGA の I/O バンク 0、1、2 の VCCO 電源入力に 3.3V を供給します。

ジャンパ JP6 および JP7 はそれぞれ、FPGA の VCCAUX および VCCINT 電源を測定するために使用します。

IC8 は、[Linear Technology](#) 社製 LT3412 レギュレータで、オンボードの DDR SDRAM に 2.5V を供給します。抵抗 R65 および R67 は分圧器を構成し、DDR SDRAM インターフェイスに必要な終端電圧を供給します。

IC9 は 1.8V の電源で、エンベデッド USB ダウンロード/デバッグ回路および CPLD の VCCINT 電源入力に電力を供給します。

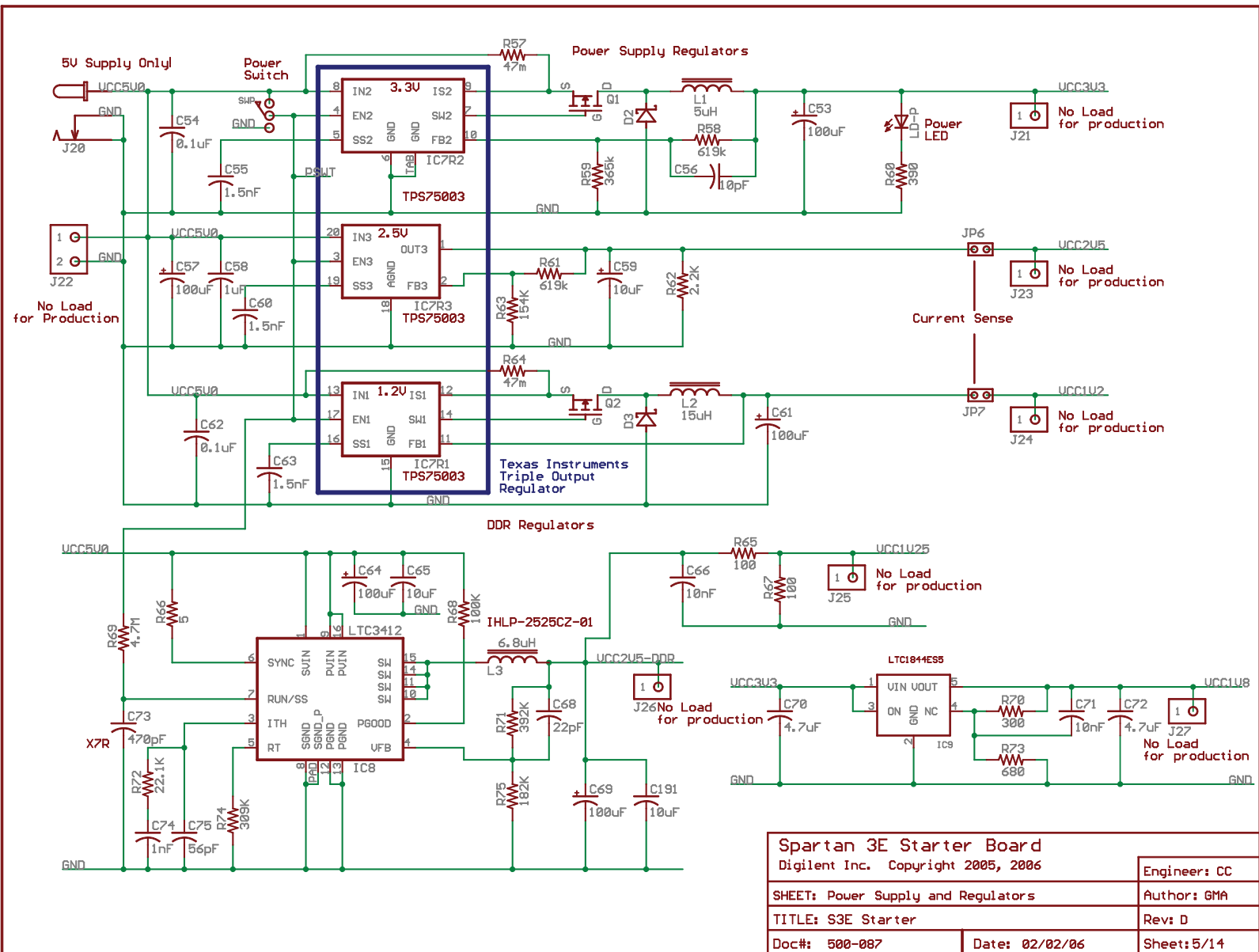


図 A-4 : 回路図 5

UG230_Aa_04_021806

FPGA コンフィギュレーション設定、Platform Flash PROM、SPI シリアル Flash、JTAG 接続

IC10MISC は、さまざまな FPGA コンフィギュレーション接続を示します。

IC11 は、4Mb の XCF04S Platform Flash PROM です。2 つ目の XCF04S PROM のランディングパッドは、IC13 と示されています。ただし、XC3S500E バージョンのボードには PROM は 1 つしか搭載されていません。抵抗 R100 は JTAG チェーンをジャンプし、2 つ目の XCF04S PROM をバイパスします。

ジャンパ ヘッド J30 は、FPGA のコンフィギュレーション モードを選択します。詳細は、[29 ページの表 4-1](#) を参照してください。

ヘッド J28 は、代替の JTAG ヘッドです。

IC12 は、Maxim/Dallas Semiconductor 社製 DS2432 SHA-1 EEPROM です。詳細は、[第 17 章「DS2432 1-Wire SHA-1 EEPROM」](#) を参照してください。

IC14 および IC15 は、STMicro 社製 SPI シリアル Flash 用の代替ランディングパッドです。IC14 には 16 ピンの SOIC パッケージ オプションを使用でき、IC15 には 8 ピンの SOIC または MLP パッケージ オプションを使用できます。詳細は、[108 ページの図 12-19](#) を参照してください。

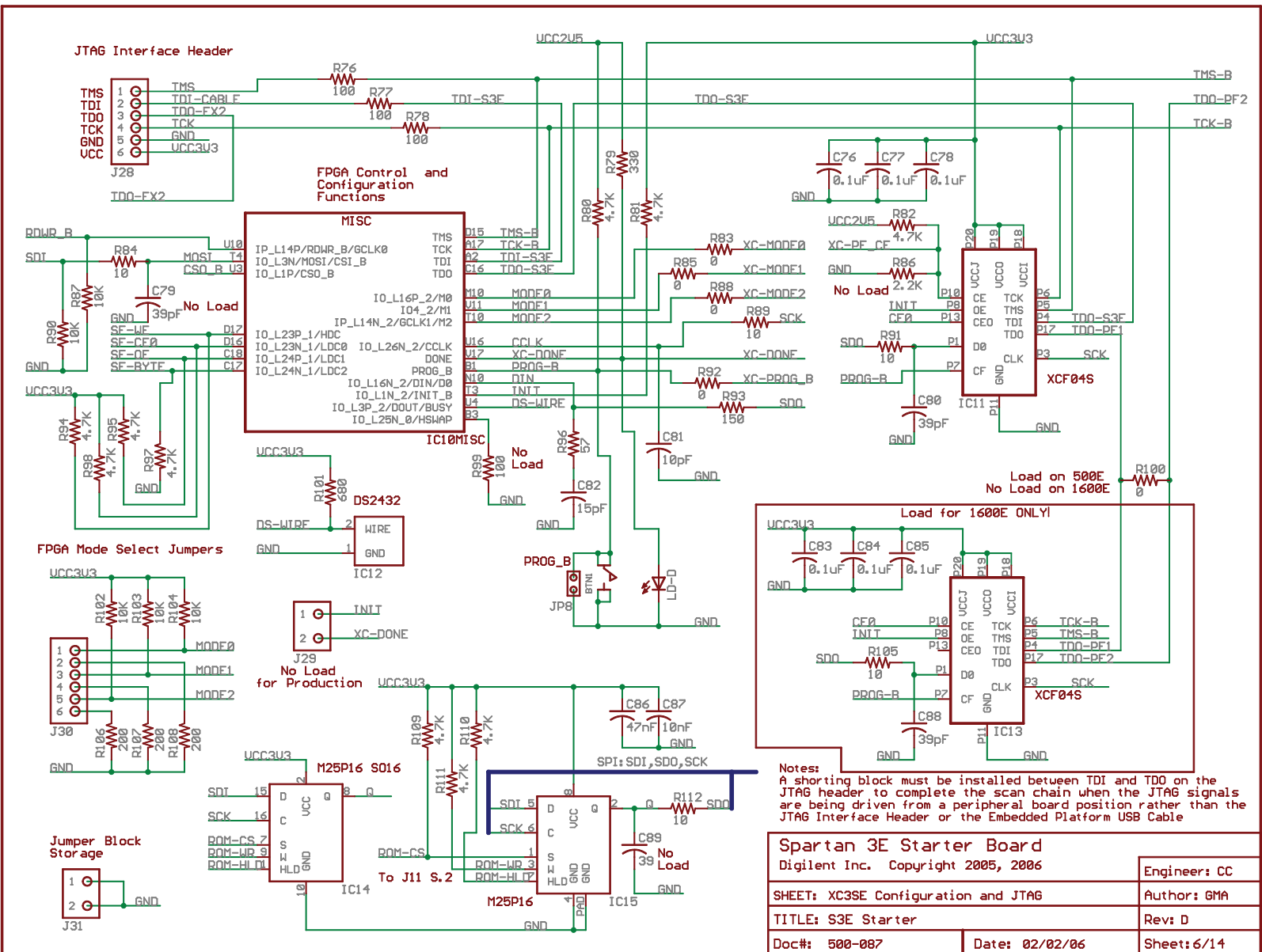


図 A-5 : 回路図 6

UG230_Aa_05_021806

Notes:
A shorting block must be installed between TDI and TDO on the JTAG header to complete the scan chain when the JTAG signals are being driven from a peripheral board position rather than the JTAG Interface Header or the Embedded Platform USB Cable

Spartan 3E Starter Board		Engineer: CC
Digilent Inc. Copyright 2005, 2006		Author: GMA
SHEET: XC3SE Configuration and JTAG		Rev: D
TITLE: S3E Starter		Doc#: 500-087
Date: 02/02/06		Sheet: 6/14

FPGA I/O バンク 0 および 1、オシレータ

IC10B0 は、FPGA 上の I/O バンク 0 への接続を示します。バンク 0 への VCCO 入力は、デフォルトでは 3.3V ですが、ジャンパ JP9 を使用して 2.5V に設定することも可能です。

IC10B1 は、FPGA 上の I/O バンク 1 への接続を示します。

IC17 は、50MHz のクロック オシレータです。詳細は、[第 3 章「クロック ソース」](#)を参照してください。

IC16 は 8 ピンの DIP ソケットで、周波数が異なるクロック オシレータを挿入できます。

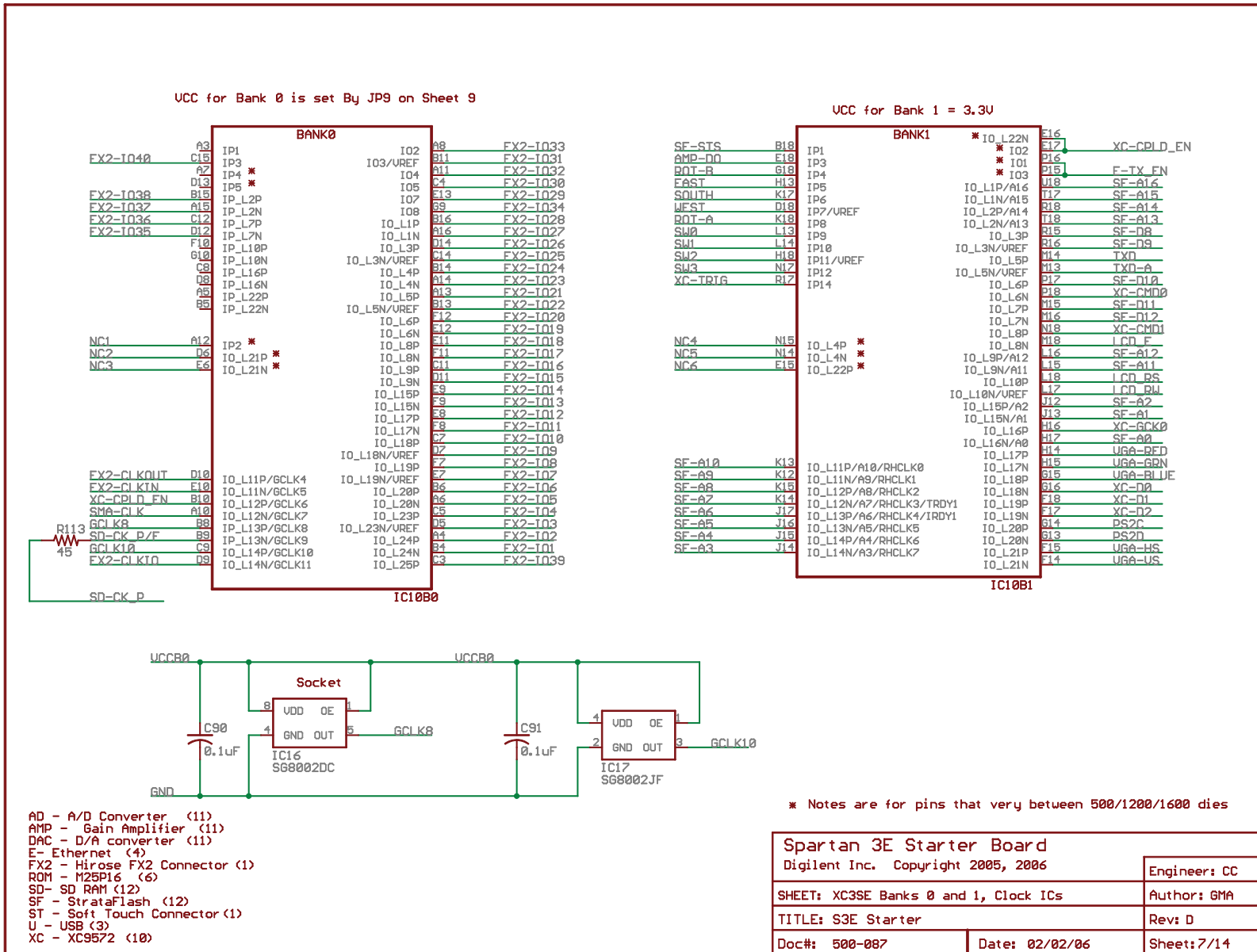


図 A-6 : 回路図 7

UG230_Aa_06_021806

FPGA I/O バンク 2 および 3

IC10B2 は、FPGA 上の I/O バンク 2 への接続を示します。I/O バンク 2 の接続の一部は FPGA のコンフィギュレーションに使用され、IC10MISC としてリストされています。

IC10B3 は、FPGA 上の I/O バンク 3 への接続を示します。バンク 3 は DDR SDRAM インターフェイス専用で、2.5V の電源が供給されます。詳細は、[第 13 章「DDR SDRAM」](#)を参照してください。

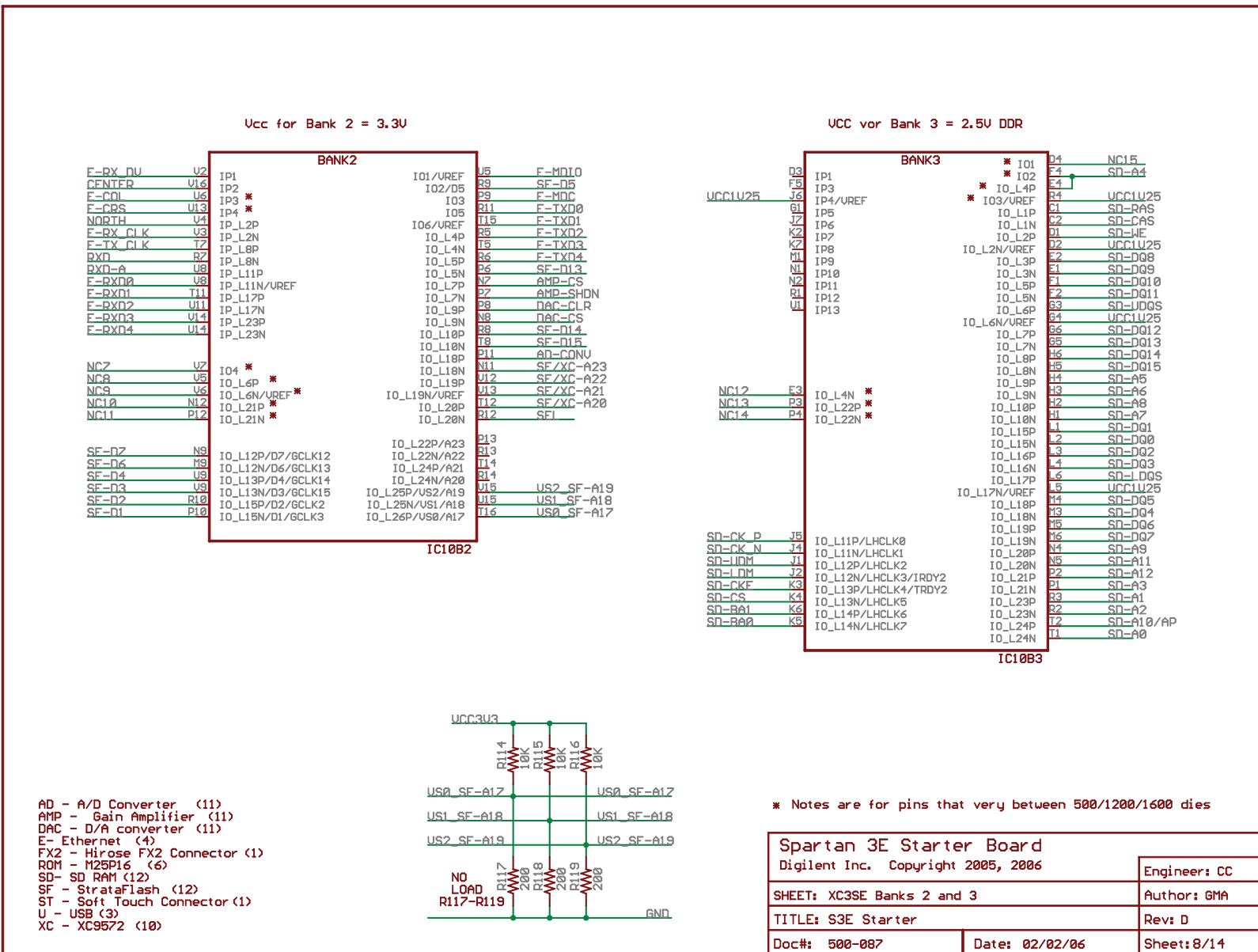


図 A-7 : 回路図 8

UG230_Aa_07_021806

電源デカップリング

IC10PWR は FPGA へのさまざまな電源入力で、電源デカップリング ネットワークを示します。

ジャンパ JP9 は、I/O バンク 0 の VCCO に供給される電源を指定します。デフォルトでは、3.3V に設定されています。詳細は、[24 ページの「電圧の制御」](#) および [124 ページの「コネクタへの電源供給」](#) を参照してください。

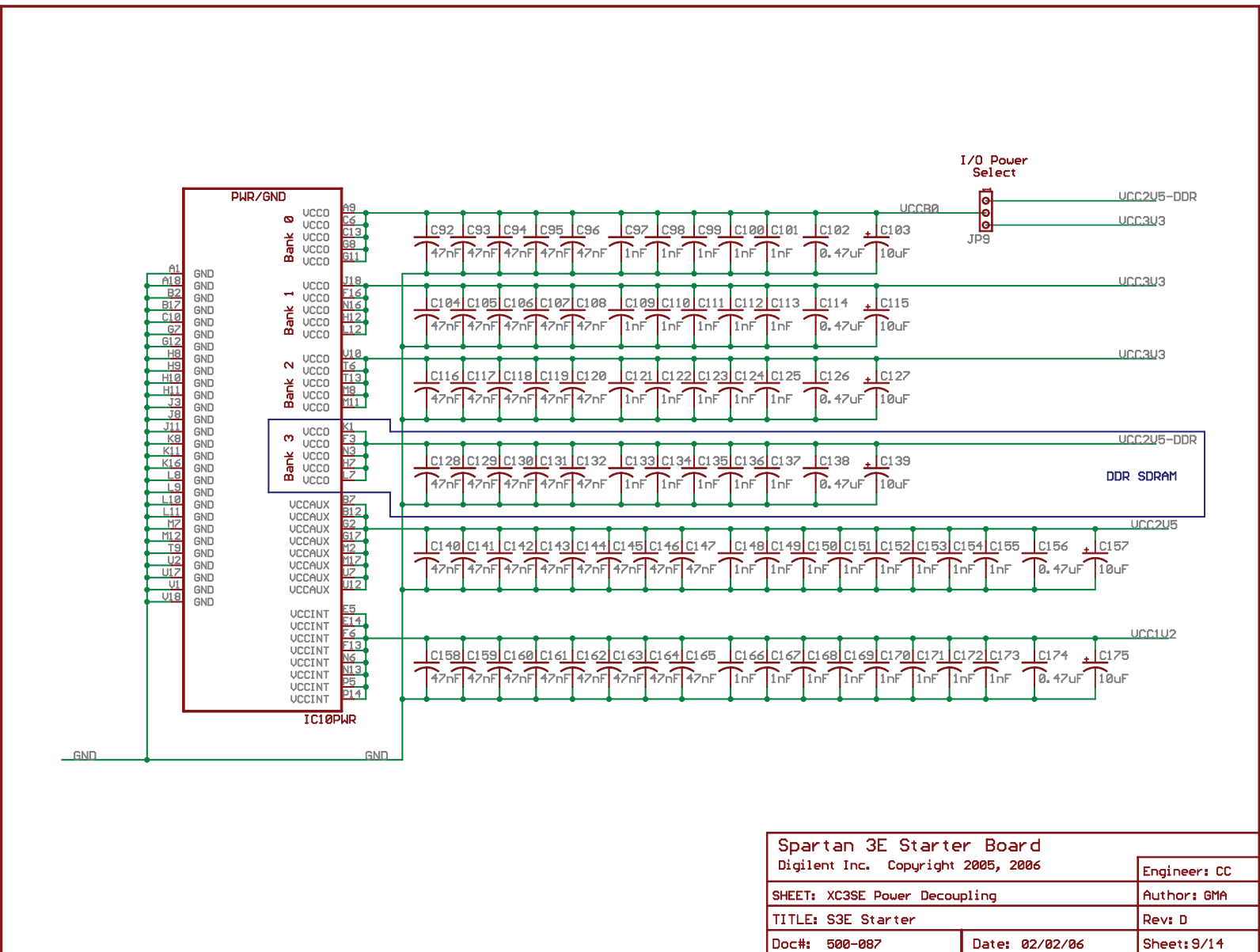


図 A-8 : 回路図 9

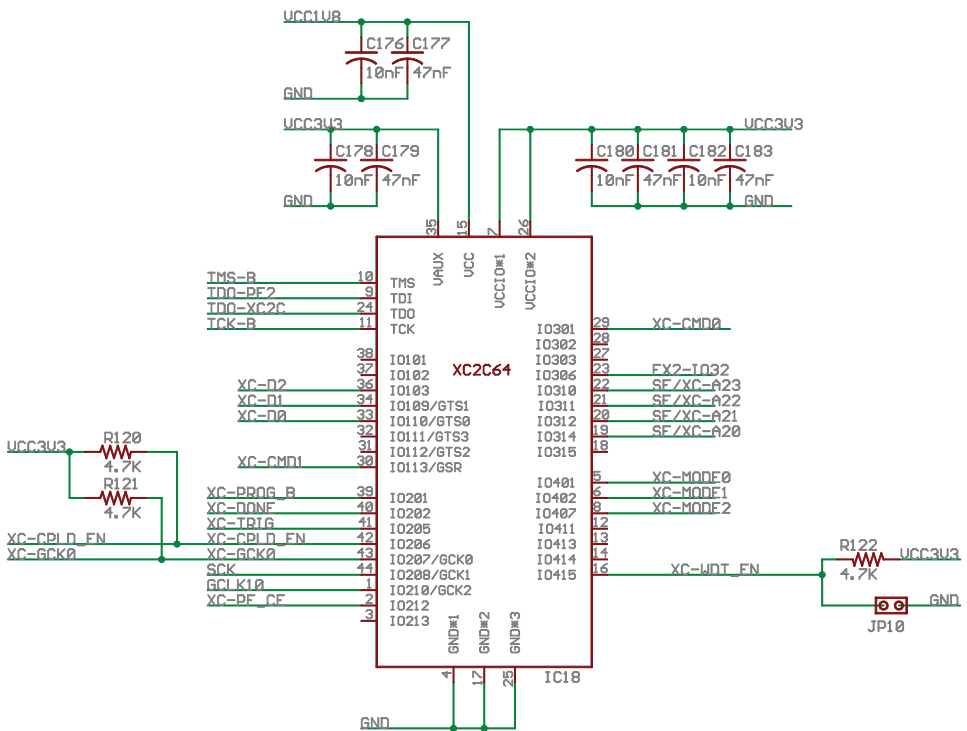
UG230_Aa_08_021806

XC2C64A CoolRunner-II CPLD

IC18 は、サイリンクス XC2C64A CoolRunner-II CPLD です。CPLD は、パラレル NOR Flash から FPGA をコンフィギュレーションする場合や、MultiBoot コンフィギュレーションの場合に、柔軟性を向上させるために搭載されています。

CPLD に適切なデザインを読み込むと、フェイルセーフ MultiBoot コンフィギュレーション中、JP10 により CPLD のウォッチドッグ タイマがイネーブルになります。

詳細は、第 16 章「XC2C64A CoolRunner-II CPLD」を参照してください。



Spartan 3E Starter Board		Engineer: CC
Digilent Inc. Copyright 2005, 2006		Author: GMA
SHEET: XC2C64 CPLD		Rev: D
TITLE: S3E Starter		Sheet:10/14
Doc#: 500-087	Date: 02/02/06	

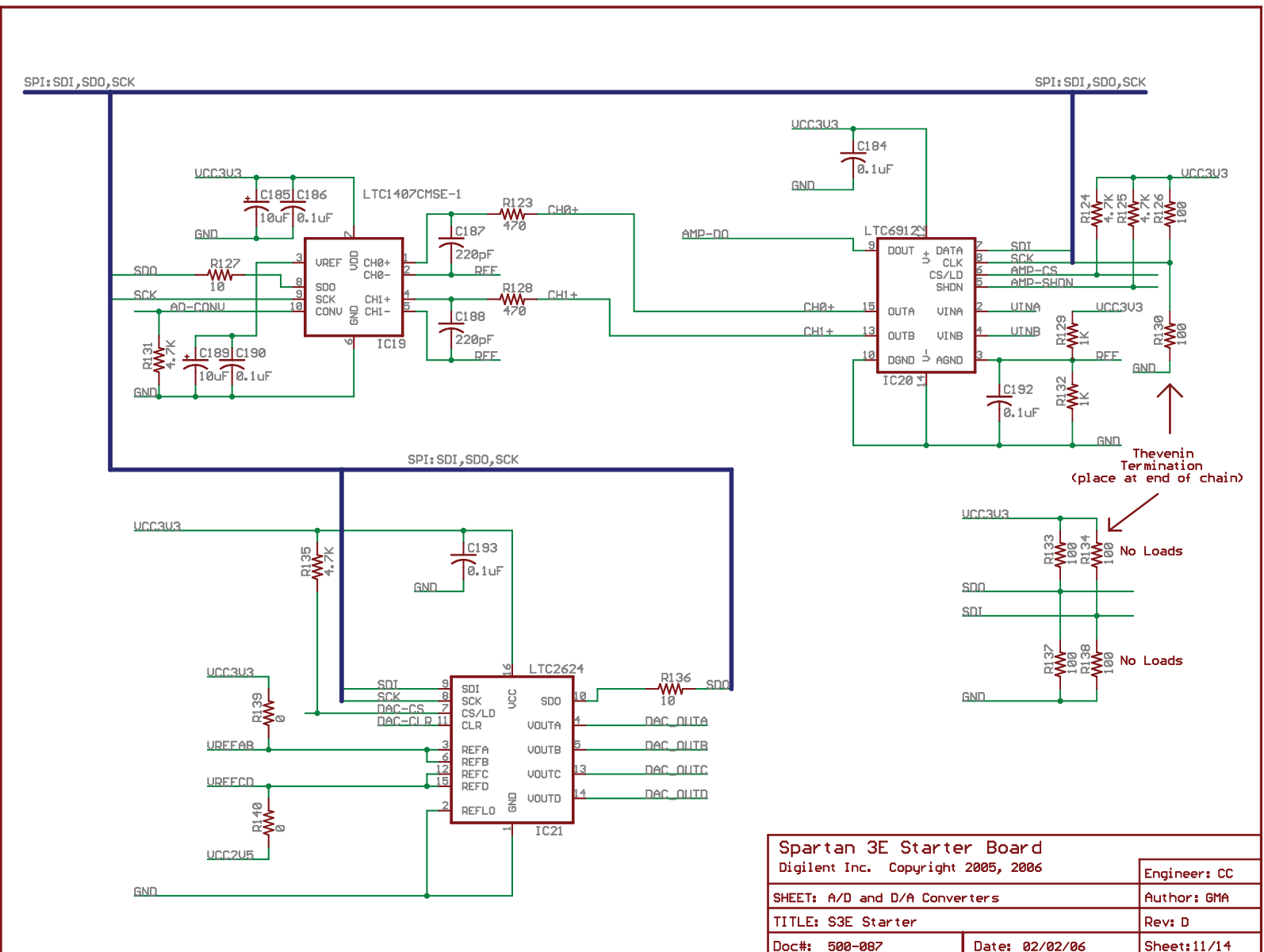
図 A-9 : 回路図 10

UG230_Aa_09_021806

Linear Technology 社製 ADC および DAC

IC19 は、Linear Technology 社製 LTC1407A-1 2 チャンネル ADC です。IC20 は、ADC へのアナログ入力を調整する Linear Technology 社製 LTC6912 プログラマブルプリアンプ (AMP) です。詳細は、第 10 章「アナログ キャプチャ回路」を参照してください。

IC21 は、Linear Technology 社製 LTC2624 4 チャンネル ADC です。詳細は、第 9 章「DA コンバータ (DAC)」を参照してください。



Spartan 3E Starter Board		Engineer: CC
Digilent Inc. Copyright 2005, 2006		Author: GMA
SHEET: A/D and D/A Converters		Rev: D
TITLE: S3E Starter		Rev: D
Doc#: 500-087	Date: 02/02/06	Sheet: 11/14

図 A-10 : 回路図 11

UG230_Aa_10_021806

Intel 社製 StrataFlash パラレル NOR Flash メモリ、 Micron 社製 DDR SDRAM

IC22 は、Intel 社製の 128Mb (16MB) StrataFlash パラレル NOR Flash PROM です。詳細は、[第 11 章「Intel StrataFlash パラレル NOR Flash PROM」](#) を参照してください。

IC23 は、Micron 社製の 512Mb (64MB) StrataFlash DDR SDRAM です。詳細は、[第 13 章「DDR SDRAM」](#) を参照してください。

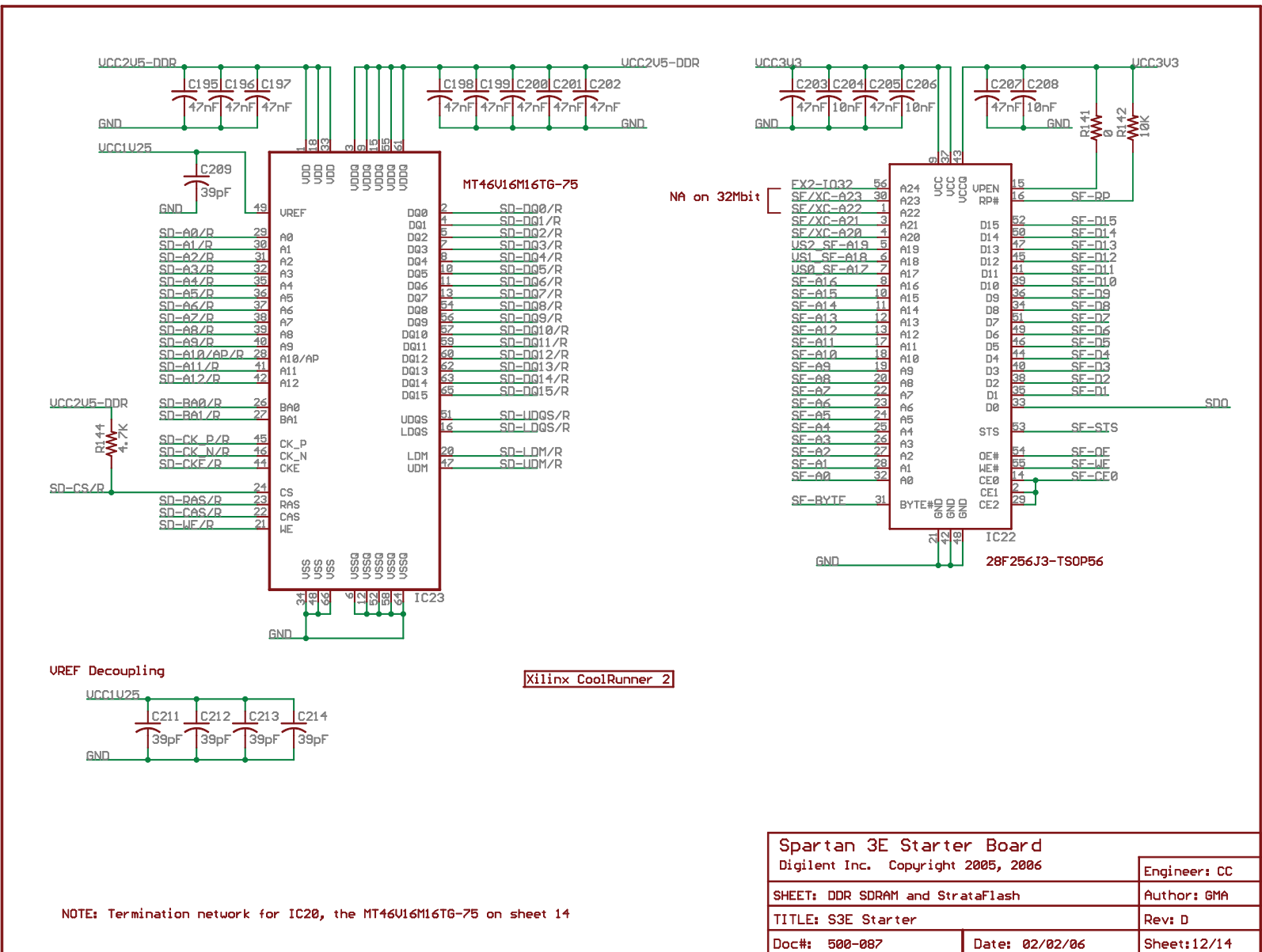


図 A-11 : 回路図 12

UG230_Ae_11_021806

ボタン、スイッチ、ロータリ エンコーダ、キャラクタ LCD

SW0、SW1、SW2、および SW3 は、スライド スイッチです。

プッシュ ボタン スイッチ W、E、S、および N は、ROT1 プッシュ ボタン スイッチ/ロータリ エンコーダの周囲に配置されています。

LD0 ~ LD7 は、個別の LED です。

詳細は、第 2 章「スイッチ、ボタン、ノブ」を参照してください。

DISP1 は、2 X 16 キャラクタ LCD スクリーンです。詳細は、第 5 章「キャラクタ LCD スクリーン」を参照してください。

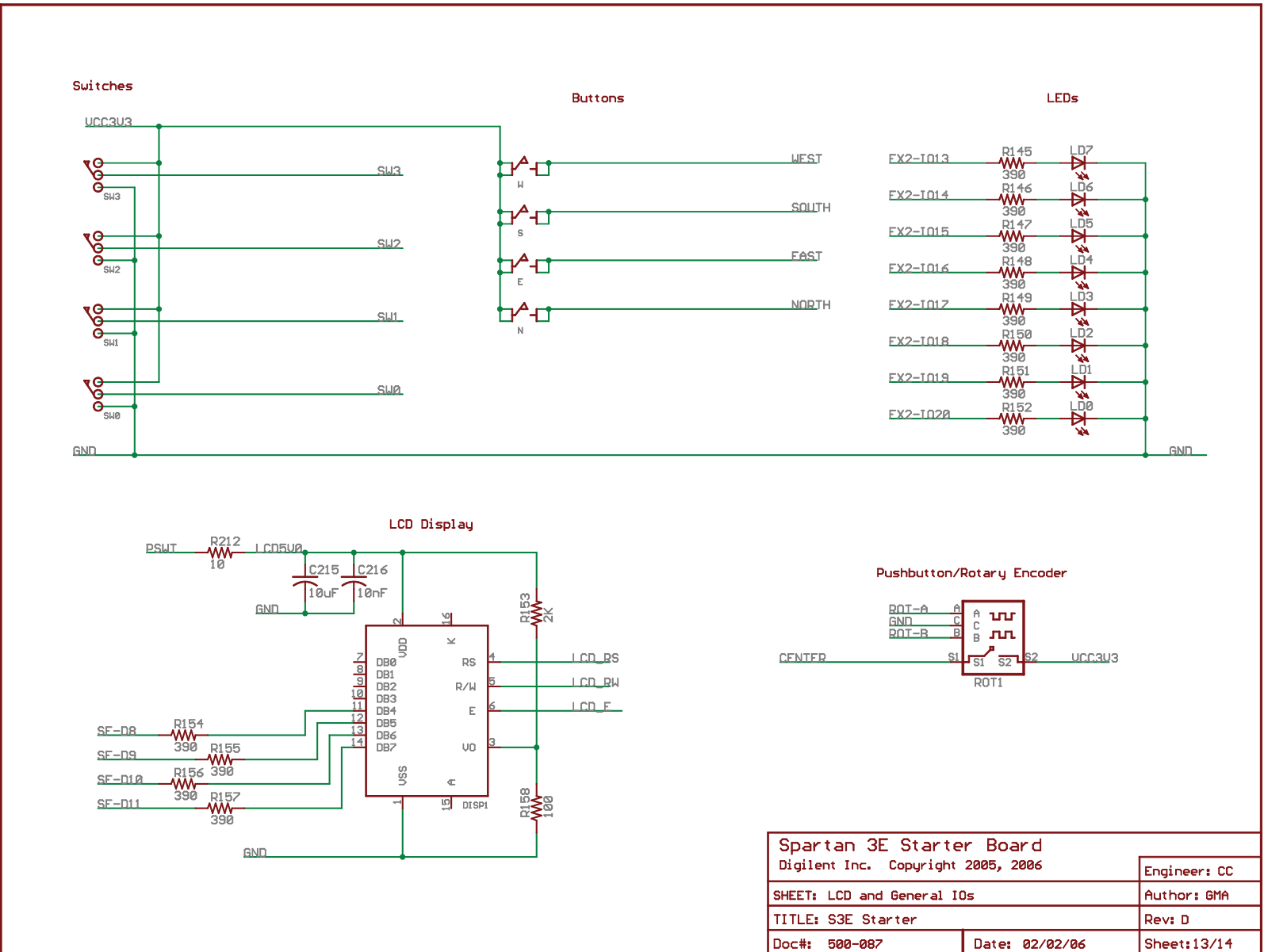


図 A-12 : 回路図 13

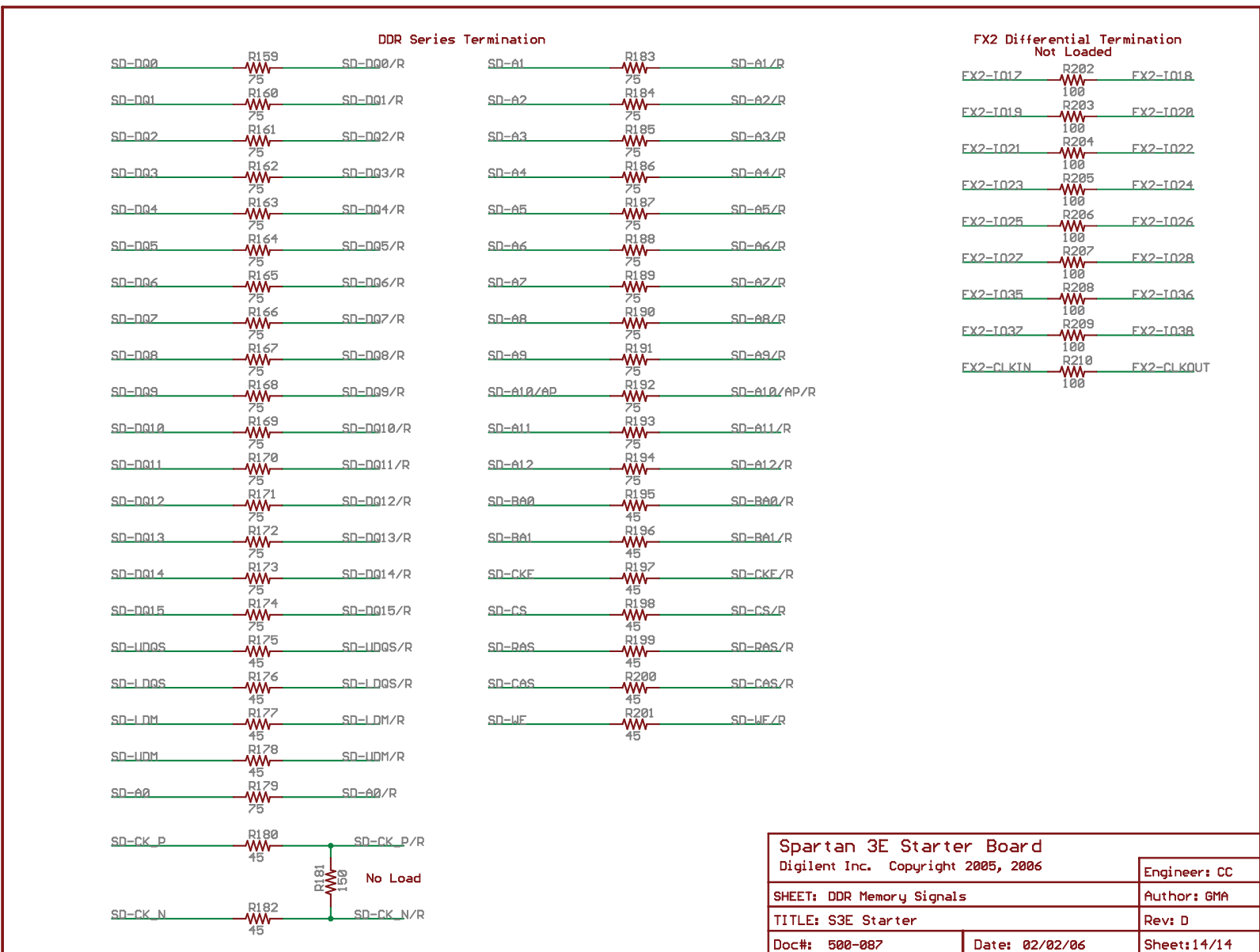
UG230_Aa_12_021806

Spartan 3E Starter Board		
Diligent Inc. Copyright 2005, 2006		
		Engineer: CC
SHEET: LCD and General I/Os		Author: GMA
TITLE: S3E Starter		Rev: D
Doc#: 500-087	Date: 02/02/06	Sheet:13/14

DDR SDRAM 直列終端、FX2 コネクタ差動終端

抵抗 R160 ~ R201 は、DDR SDRAM 用の直列終端抵抗です。詳細は、[第 13 章「DDR SDRAM」](#)を参照してください。

抵抗 R202 ~ R210 はボードに含まれていません。3 つのランディング パッドは、100Ω の外部終端抵抗を接続するためのパッドです。詳細は、[128 ページの「差動入力の使用」](#)を参照してください。



Spartan 3E Starter Board	
Diligent Inc. Copyright 2005, 2006	
Engineer: CC	
SHEET: DDR Memory Signals	Author: GMA
TITLE: S3E Starter	Rev: D
Doc#: 500-087	Date: 02/02/06
Sheet: 14/14	

図 A-13 : 回路図 14

UG230_Ae_13_021806

ユーザー制約ファイル (UCF) の例

```
#####
### SPARTAN-3E STARTER KIT BOARD CONSTRAINTS FILE
#####

# ==== Analog-to-Digital Converter (ADC) ====
#     some connections shared with SPI Flash, DAC, ADC, and AMP
NET "AD_CONV"  LOC = "P11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;

# ==== Programmable Gain Amplifier (AMP) ====
#     some connections shared with SPI Flash, DAC, ADC, and AMP
NET "AMP_CS"   LOC = "N7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "AMP_DOUT" LOC = "E18" | IOSTANDARD = LVCMOS33 ;
NET "AMP_SHDN" LOC = "P7" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;

# ==== Pushbuttons (BTN) ====
NET "BTN_EAST"  LOC = "H13" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_NORTH" LOC = "V4"  | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_SOUTH" LOC = "K17" | IOSTANDARD = LVTTTL | PULLDOWN ;
NET "BTN_WEST"  LOC = "D18" | IOSTANDARD = LVTTTL | PULLDOWN ;

# ==== Clock inputs (CLK) ====
NET "CLK_50MHZ" LOC = "C9" | IOSTANDARD = LVCMOS33 ;
#     Define clock period for 50 MHz oscillator (40%/60% duty-cycle)
NET "CLK_50MHZ" PERIOD = 20.0ns HIGH 40%;
NET "CLK_AUX"   LOC = "B8" | IOSTANDARD = LVCMOS33 ;
NET "CLK_SMA"   LOC = "A10" | IOSTANDARD = LVCMOS33 ;

# ==== Digital-to-Analog Converter (DAC) ====
#     some connections shared with SPI Flash, DAC, ADC, and AMP
NET "DAC_CLR"  LOC = "P8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "DAC_CS"   LOC = "N8" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;

# ==== 1-Wire Secure EEPROM (DS)
NET "DS_WIRE"  LOC = "U4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;

# ==== Ethernet PHY (E) ====
NET "E_COL"    LOC = "U6" | IOSTANDARD = LVCMOS33 ;
NET "E_CRS"    LOC = "U13" | IOSTANDARD = LVCMOS33 ;
NET "E_MDC"    LOC = "P9" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
```

```

NET "E_MDIO" LOC = "U5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_RX_CLK" LOC = "V3" | IOSTANDARD = LVCMOS33 ;
NET "E_RX_DV" LOC = "V2" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<0>" LOC = "V8" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<1>" LOC = "T11" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<2>" LOC = "U11" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<3>" LOC = "V14" | IOSTANDARD = LVCMOS33 ;
NET "E_RXD<4>" LOC = "U14" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_CLK" LOC = "T7" | IOSTANDARD = LVCMOS33 ;
NET "E_TX_EN" LOC = "P15" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<0>" LOC = "R11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<1>" LOC = "T15" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<2>" LOC = "R5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<3>" LOC = "T5" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "E_TXD<4>" LOC = "R6" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;

# ==== FPGA Configuration Mode, INIT_B Pins (FPGA) ====
NET "FPGA_M0" LOC = "M10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "FPGA_M1" LOC = "V11" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "FPGA_M2" LOC = "T10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 8 ;
NET "FPGA_INIT_B" LOC = "T3" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4 ;
NET "FPGA_RDWR_B" LOC = "U10" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 4 ;
NET "FPGA_HSWAP" LOC = "B3" | IOSTANDARD = LVCMOS33 ;

# ==== FX2 Connector (FX2) ====
NET "FX2_CLKIN" LOC = "E10" | IOSTANDARD = LVCMOS33 ;
NET "FX2_CLKIO" LOC = "D9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_CLKOUT" LOC = "D10" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J1 6-pin accessory header
NET "FX2_IO<1>" LOC = "B4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<2>" LOC = "A4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<3>" LOC = "D5" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<4>" LOC = "C5" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J2 6-pin accessory header
NET "FX2_IO<5>" LOC = "A6" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<6>" LOC = "B6" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<7>" LOC = "E7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<8>" LOC = "F7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# These four connections are shared with the J4 6-pin accessory header
NET "FX2_IO<9>" LOC = "D7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<10>" LOC = "C7" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<11>" LOC = "F8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<12>" LOC = "E8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
# The discrete LEDs are shared with the following 8 FX2 connections
#NET "FX2_IO<13>" LOC = "F9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<14>" LOC = "E9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<15>" LOC = "D11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<16>" LOC = "C11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<17>" LOC = "F11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<18>" LOC = "E11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<19>" LOC = "E12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
#NET "FX2_IO<20>" LOC = "F12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<21>" LOC = "A13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<22>" LOC = "B13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<23>" LOC = "A14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<24>" LOC = "B14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<25>" LOC = "C14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<26>" LOC = "D14" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
    
```

```

NET "FX2_IO<27>" LOC = "A16" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<28>" LOC = "B16" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<29>" LOC = "E13" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<30>" LOC = "C4" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<31>" LOC = "B11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<32>" LOC = "A11" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<33>" LOC = "A8" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<34>" LOC = "G9" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<35>" LOC = "D12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<36>" LOC = "C12" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<37>" LOC = "A15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<38>" LOC = "B15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IO<39>" LOC = "C3" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;
NET "FX2_IP<40>" LOC = "C15" | IOSTANDARD = LVCMOS33 | SLEW = FAST | DRIVE = 8 ;

```

===== 6-pin header J1 =====

These are shared connections with the FX2 connector

```

#NET "J1<0>" LOC = "B4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<1>" LOC = "A4" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<2>" LOC = "D5" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J1<3>" LOC = "C5" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

```

===== 6-pin header J2 =====

These are shared connections with the FX2 connector

```

#NET "J2<0>" LOC = "A6" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<1>" LOC = "B6" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<2>" LOC = "E7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J2<3>" LOC = "F7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

```

===== 6-pin header J4 =====

These are shared connections with the FX2 connector

```

#NET "J4<0>" LOC = "D7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<1>" LOC = "C7" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<2>" LOC = "F8" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;
#NET "J4<3>" LOC = "E8" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 6 ;

```

===== Character LCD (LCD) =====

```

NET "LCD_E" LOC = "M18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "LCD_RS" LOC = "L18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "LCD_RW" LOC = "L17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```

LCD data connections are shared with StrataFlash connections SF_D<11:8>

```

#NET "SF_D<8>" LOC = "R15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
#NET "SF_D<9>" LOC = "R16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
#NET "SF_D<10>" LOC = "P17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
#NET "SF_D<11>" LOC = "M15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```

===== Discrete LEDs (LED) =====

These are shared connections with the FX2 connector

```

NET "LED<0>" LOC = "F12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<1>" LOC = "E12" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<2>" LOC = "E11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<3>" LOC = "F11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<4>" LOC = "C11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<5>" LOC = "D11" | IOSTANDARD = LVTTTL | SLEW = SLOW | DRIVE = 8 ;

```

```

NET "LED<6>" LOC = "E9" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;
NET "LED<7>" LOC = "F9" | IOSTANDARD = LVTTL | SLEW = SLOW | DRIVE = 8 ;

# ==== PS/2 Mouse/Keyboard Port (PS2) ====
NET "PS2_CLK" LOC = "G14" | IOSTANDARD = LVCMOS33 | DRIVE = 8 | SLEW = SLOW ;
NET "PS2_DATA" LOC = "G13" | IOSTANDARD = LVCMOS33 | DRIVE = 8 | SLEW = SLOW ;

# ==== Rotary Pushbutton Switch (ROT) ====
NET "ROT_A" LOC = "K18" | IOSTANDARD = LVTTL | PULLUP ;
NET "ROT_B" LOC = "G18" | IOSTANDARD = LVTTL | PULLUP ;
NET "ROT_CENTER" LOC = "V16" | IOSTANDARD = LVTTL | PULLDOWN ;

# ==== RS-232 Serial Ports (RS232) ====
NET "RS232_DCE_RXD" LOC = "R7" | IOSTANDARD = LVTTL ;
NET "RS232_DCE_TXD" LOC = "M14" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;
NET "RS232_DTE_RXD" LOC = "U8" | IOSTANDARD = LVTTL ;
NET "RS232_DTE_TXD" LOC = "M13" | IOSTANDARD = LVTTL | DRIVE = 8 | SLEW = SLOW ;

# ==== DDR SDRAM (SD) ==== (I/O Bank 3, VCCO=2.5V)
NET "SD_A<0>" LOC = "T1" | IOSTANDARD = SSTL2_I ;
NET "SD_A<1>" LOC = "R3" | IOSTANDARD = SSTL2_I ;
NET "SD_A<2>" LOC = "R2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<3>" LOC = "P1" | IOSTANDARD = SSTL2_I ;
NET "SD_A<4>" LOC = "F4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<5>" LOC = "H4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<6>" LOC = "H3" | IOSTANDARD = SSTL2_I ;
NET "SD_A<7>" LOC = "H1" | IOSTANDARD = SSTL2_I ;
NET "SD_A<8>" LOC = "H2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<9>" LOC = "N4" | IOSTANDARD = SSTL2_I ;
NET "SD_A<10>" LOC = "T2" | IOSTANDARD = SSTL2_I ;
NET "SD_A<11>" LOC = "N5" | IOSTANDARD = SSTL2_I ;
NET "SD_A<12>" LOC = "P2" | IOSTANDARD = SSTL2_I ;
NET "SD_BA<0>" LOC = "K5" | IOSTANDARD = SSTL2_I ;
NET "SD_BA<1>" LOC = "K6" | IOSTANDARD = SSTL2_I ;
NET "SD_CAS" LOC = "C2" | IOSTANDARD = SSTL2_I ;
NET "SD_CK_N" LOC = "J4" | IOSTANDARD = SSTL2_I ;
NET "SD_CK_P" LOC = "J5" | IOSTANDARD = SSTL2_I ;
NET "SD_CKE" LOC = "K3" | IOSTANDARD = SSTL2_I ;
NET "SD_CS" LOC = "K4" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<0>" LOC = "L2" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<1>" LOC = "L1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<2>" LOC = "L3" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<3>" LOC = "L4" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<4>" LOC = "M3" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<5>" LOC = "M4" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<6>" LOC = "M5" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<7>" LOC = "M6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<8>" LOC = "E2" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<9>" LOC = "E1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<10>" LOC = "F1" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<11>" LOC = "F2" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<12>" LOC = "G6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<13>" LOC = "G5" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<14>" LOC = "H6" | IOSTANDARD = SSTL2_I ;
NET "SD_DQ<15>" LOC = "H5" | IOSTANDARD = SSTL2_I ;

```

```

NET "SD_LDM"      LOC = "J2" | IOSTANDARD = SSTL2_I ;
NET "SD_LDQS"    LOC = "L6" | IOSTANDARD = SSTL2_I ;
NET "SD_RAS"     LOC = "C1" | IOSTANDARD = SSTL2_I ;
NET "SD_UDM"     LOC = "J1" | IOSTANDARD = SSTL2_I ;
NET "SD_UDQS"    LOC = "G3" | IOSTANDARD = SSTL2_I ;
NET "SD_WE"      LOC = "D1" | IOSTANDARD = SSTL2_I ;
# Path to allow connection to top DCM connection
NET "SD_CK_FB"   LOC = "B9" | IOSTANDARD = LVCMOS33 ;
# Prohibit VREF pins
CONFIG PROHIBIT = D2;
CONFIG PROHIBIT = G4;
CONFIG PROHIBIT = J6;
CONFIG PROHIBIT = L5;
CONFIG PROHIBIT = R4;

# ==== Intel StrataFlash Parallel NOR Flash (SF) ====
NET "SF_A<0>"    LOC = "H17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<1>"    LOC = "J13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<2>"    LOC = "J12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<3>"    LOC = "J14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<4>"    LOC = "J15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<5>"    LOC = "J16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<6>"    LOC = "J17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<7>"    LOC = "K14" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<8>"    LOC = "K15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<9>"    LOC = "K12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<10>"   LOC = "K13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<11>"   LOC = "L15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<12>"   LOC = "L16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<13>"   LOC = "T18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<14>"   LOC = "R18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<15>"   LOC = "T17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<16>"   LOC = "U18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<17>"   LOC = "T16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<18>"   LOC = "U15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<19>"   LOC = "V15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<20>"   LOC = "T12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<21>"   LOC = "V13" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<22>"   LOC = "V12" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<23>"   LOC = "N11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_A<24>"   LOC = "A11" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_BYTE"    LOC = "C17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_CE0"     LOC = "D16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<1>"    LOC = "P10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<2>"    LOC = "R10" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<3>"    LOC = "V9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<4>"    LOC = "U9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<5>"    LOC = "R9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<6>"    LOC = "M9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<7>"    LOC = "N9" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<8>"    LOC = "R15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<9>"    LOC = "R16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<10>"   LOC = "P17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<11>"   LOC = "M15" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<12>"   LOC = "M16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<13>"   LOC = "P6" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<14>"   LOC = "R8" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_D<15>"   LOC = "T8" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```

```

NET "SF_OE"      LOC = "C18" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "SF_STS"    LOC = "B18" | IOSTANDARD = LVCMOS33 ;
NET "SF_WE"     LOC = "D17" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

# ===== STMicro SPI serial Flash (SPI) =====
#           some connections shared with SPI Flash, DAC, ADC, and AMP
NET "SPI_MISO"  LOC = "N10" | IOSTANDARD = LVCMOS33 ;
NET "SPI_MOSI" LOC = "T4"   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SCK"  LOC = "U16" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_SS_B" LOC = "U3"   | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;
NET "SPI_ALT_CS_JP11" LOC = "R12" | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 6 ;

# ===== Slide Switches (SW) =====
NET "SW<0>"    LOC = "L13" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<1>"    LOC = "L14" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<2>"    LOC = "H18" | IOSTANDARD = LVTTTL | PULLUP ;
NET "SW<3>"    LOC = "N17" | IOSTANDARD = LVTTTL | PULLUP ;

# ===== VGA Port (VGA) =====
NET "VGA_BLUE"  LOC = "G15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_GREEN" LOC = "H15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_HSYNC" LOC = "F15" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_RED"   LOC = "H14" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;
NET "VGA_VSYNC" LOC = "F14" | IOSTANDARD = LVTTTL | DRIVE = 8 | SLEW = FAST ;

# ===== Xilinx CPLD (XC) =====
NET "XC_CMD<0>" LOC = "P18" | IOSTANDARD = LVTTTL | DRIVE = 4 | SLEW = SLOW ;
NET "XC_CMD<1>" LOC = "N18" | IOSTANDARD = LVTTTL | DRIVE = 4 | SLEW = SLOW ;
NET "XC_CPLD_EN" LOC = "B10" | IOSTANDARD = LVTTTL ;
NET "XC_D<0>"   LOC = "G16" | IOSTANDARD = LVTTTL | DRIVE = 4 | SLEW = SLOW ;
NET "XC_D<1>"   LOC = "F18" | IOSTANDARD = LVTTTL | DRIVE = 4 | SLEW = SLOW ;
NET "XC_D<2>"   LOC = "F17" | IOSTANDARD = LVTTTL | DRIVE = 4 | SLEW = SLOW ;
NET "XC_TRIG"   LOC = "R17" | IOSTANDARD = LVCMOS33 ;
NET "XC_GCK0"   LOC = "H16" | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;
NET "GCLK10"    LOC = "C9"  | IOSTANDARD = LVCMOS33 | DRIVE = 4 | SLEW = SLOW ;

```